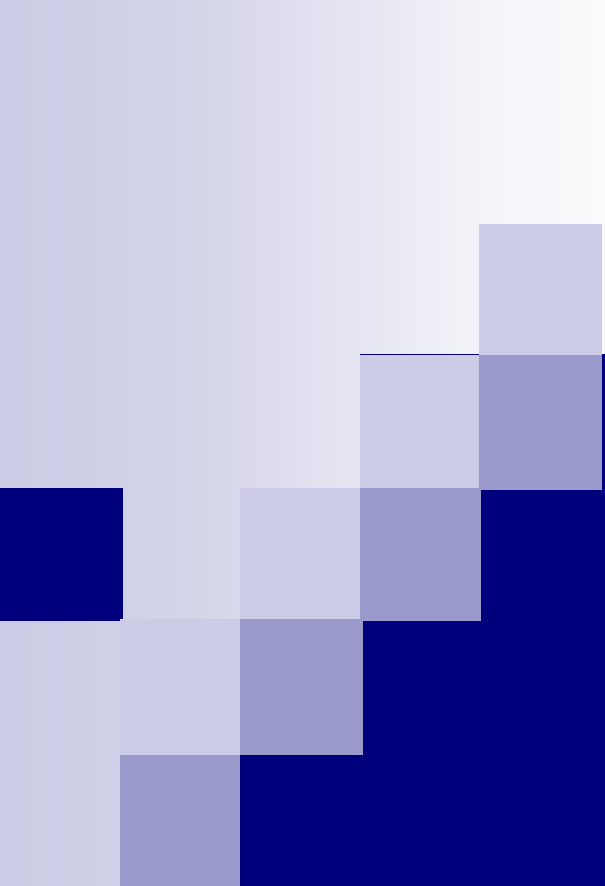




ORGANIZACIJA RAČUNALNIKOV

Povzetki predavanj

2. Osnove digitalnih vezij

Prejšnje poglavje – Uvod v OR in digitalna vezja:

Join at
slido.com

- Splošni pojmi
- Zgradba in organizacija računalnika
 - Funkcijske enote kot osnovni gradniki rač.
 - Nivojska zgradba rač.
- Računalnik na nivoju digitalne logike
 - Osnove digitalnih vezij (stikalo, tranzistor)
 - Realizacija logičnih vrat v digitalnih vezjih (NOT,NAND,NOR)
 - Digitalna vezja visoke stopnje integracije – VLSI (razvoj, postopek izdelave,potencialne težave)

Način dela, dodatna gradiva :

■ „No sheeping !!!“, „Flipped learning“:

- <https://www.youtube.com/watch?v=QOy7IB-P3nk>

■ Valvano: Embedded Systems - Shape The World

- EdX course :
 - <https://www.edx.org/course/embedded-systems-shape-world-utaustinx-ut-6-03x>
- Ebook:
 - <http://users.ece.utexas.edu/~valvano/Volume1/E-Book/>
 - Chapter 3: [Electronics](#)
 - Chapter 4: [Digital Logic](#)
 - Chapter 5: [Introduction to C](#)
 - zanimiva tudi ostala poglavja



Table of Contents

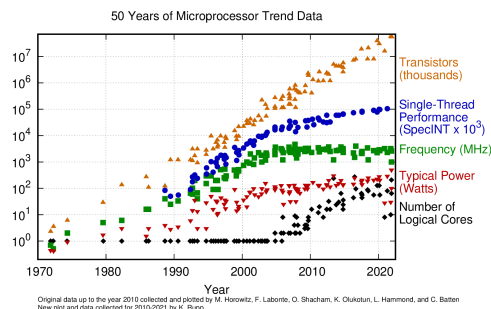
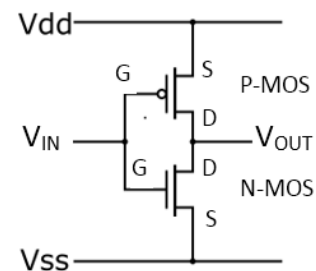
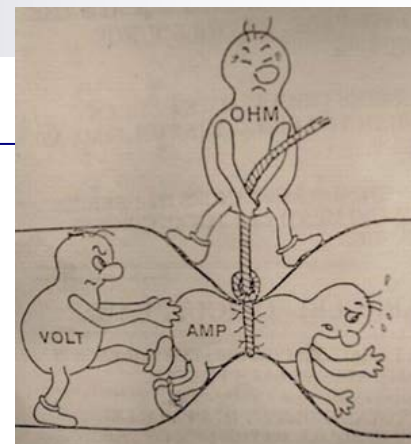
- Chapter 1: [Introduction](#)
- Chapter 2: [Fundamental Concepts](#)
- Chapter 3: [Electronics](#)
- Chapter 4: [Digital Logic](#)
- Chapter 5: [Introduction to C](#)
- Chapter 6: [Microcontroller Ports](#)
- Chapter 7: [Design and Development Process](#)
- Chapter 8: [Switches and LEDs](#)
- Chapter 9: [Arrays and Functional Debugging](#)
- Chapter 10: [Finite State Machines](#)
- Chapter 11: [UART - The Serial Interface](#)
- Chapter 12: [Interrupts](#)
- Chapter 13: [DAC and Sound](#)
- Chapter 14: [ADC and Data Acquisition](#)
- Chapter 15: [Systems Approach to Game Design](#)
- Appendix: [Reference Material](#)
- Video links: [Web links to videos \(All chapters 1](#)
- Closed caption files: [Closed caption srt files](#)
- Index: [Index of terms and concepts](#)

The screenshot shows the EdX website interface. At the top, there is a navigation bar with links for 'Courses', 'How It Works', 'Schools & Partners', and 'About'. A search bar with the placeholder text 'I want to learn about...' and a magnifying glass icon is also present. To the right of the search bar are 'Sign In' and 'Register' buttons. Below the navigation bar, there is a large banner for the course 'Embedded Systems - Shape The World'. The banner features a blue background with a glowing circuit board and a play button icon. The text on the banner reads: 'Build real-world embedded solutions using a bottom-up approach from simple to complex in this hands-on, lab-based course.' Below the banner is the University of Texas at Austin logo. To the right of the banner, there is a green button that says 'Enroll Now'. Below the 'Enroll Now' button, there is a checkbox with the text 'I would like to receive email from University of Texas at Austin and learn about its other programs.' The checkbox is checked.

Namen in cilji 2. poglavja:

Razumevanje :

- osnovnih pojmov: el. napetost, tok, upornost
- enostavnih tokokrogov: LED dioda, upori, stikalo, tranzistorji
- osnovnih lastnosti digitalnih vezij
- delovanja (načrtovanja) digitalnih vezij
- razvojnih problemov in tehnoloških omejitev
- vzrokov za pojav paralelizma



2. Osnove digitalnih vezij

2.1 Prehod iz logičnega modela v digitalna vezja

- Računalnik je sestavljen iz gradnikov:

- ☐ „logična vezja“
- ☐ “digitalna vezja”,
- ☐ včasih: „preklopna“

„LOGIČNI MODEL“

„REALIZACIJA“

Logika
Log. vrata
logični
nivoji: 1,0

Digitalna
vezja:
napetostni
nivoji:
 $\approx 0V$, $\approx 5V$

2.1 Prehod iz logičnega modela v digitalna vezja

- Von Neumannov (VN) model:
 - Matematični, logični model rač. (do nivoja log. vrat):
 - CPE, pomnilnik, V/I, povezave
 - ne predpisuje realizacije, tehnologije

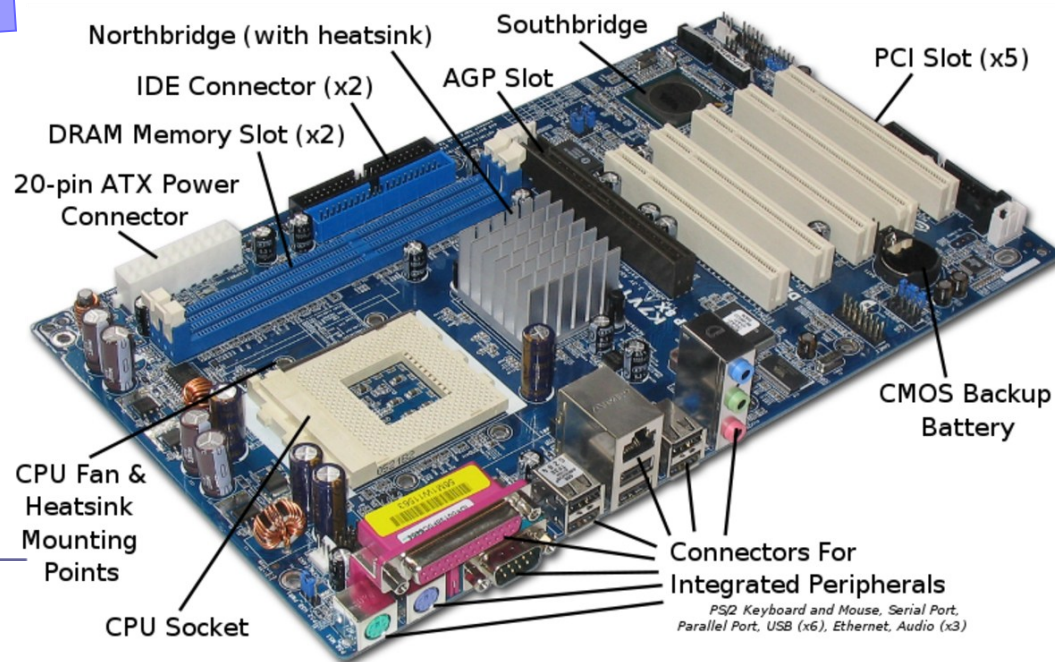
Logika
Log. vrata
logični
nivoji: 1,0

-
- Realizacija VN -> „digitalna vezja“:
 - posebni čipi VLSI
 - (CPE, Pomn., V/I, grafika, zvok, ...)
 - „mikroprocesorsko lepilo“ – standardna digit. vezja
 - povezovanje VLSI vezij
 - komunikacije (ETH, RS232, ...)

Digitalna
vezja:
napetostni
nivoji:
≈0V, ≈5V

2.1 Prehod iz logičnega modela v digitalna vezja

- Realizacija VN -> „digitalna vezja“:
 - posebni čipi VLSI
 - (CPE, Pomn., V/I, grafika, zvok, ...)
 - „mikroprocesorsko lepilo“ – standardna digit. vezja
 - povezovanje VLSI vezij
 - komunikacije (ETH, RS232, ...)



2.2 Lastnosti digitalnih vezij

■ Danes:

- digitalna vezja so skoraj vsa elektronska

■ Prihodnost ?:

- optika, biočipi, kvantni rač., ...
- najprej kot manjša, namenska vezja

Elektronska realizacija digitalnih vezij:

■ pomanjkljivosti (težave)

- odstopanje od log. ideala 0,1 -> napetostni nivoji
- težje načrtovanje (potrebno znanje, izkušnje)
- poraba, toplota

■ prednosti

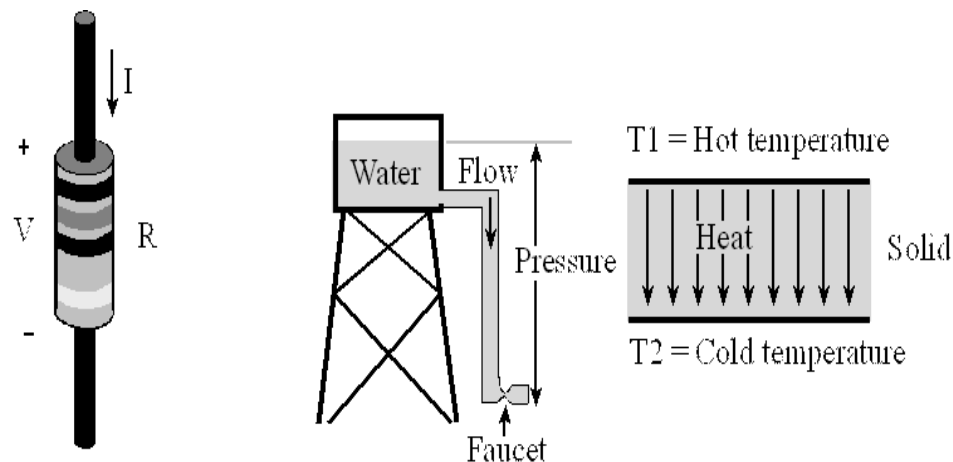
- visoka stopnja standardizacije (TTL, CMOS,...)

2.2.1 Osnove elektronskih vezij

2.2.1.1 Osnovni pojmi

□ Električni tok - I [A]:

- DEF: količina el. naboja (običajni nosilci so elektroni), ki preteče v nekem času
 - 1 Amper := $1A = 6.241 \cdot 10^{18}$ elektronov/sek = 1 Coulomb/sek
 - smer: definirana obratno od smeri gibanja elektronov (tok pozitivnega naboja)

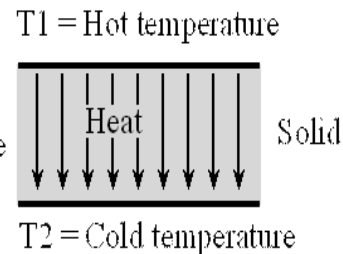
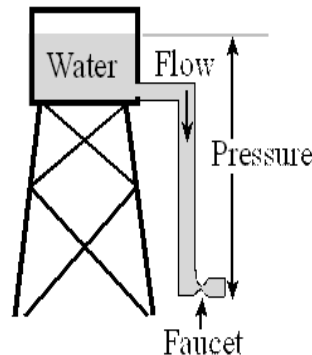
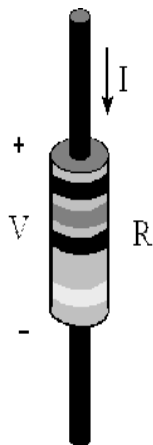


2.2.1 Osnove elektronskih vezij

2.2.1.1 Osnovni pojmi

□ Električna napetost - U [V]:

- DEF: razlika električnih potencialov v dveh točkah
- »povzroči el. tok v sklenjenem tokokrogu«
- označena v dveh točkah s + (višji potencial) in – (nižji potencial)



2.2.1 Osnove elektronskih vezij

2.2.1.1 Osnovni pojmi

□ Električna upornost - R [Ω]:

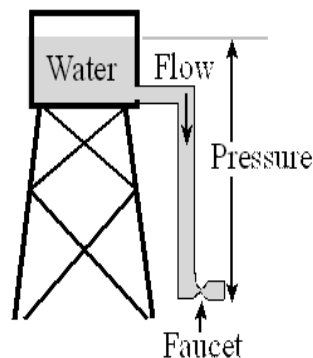
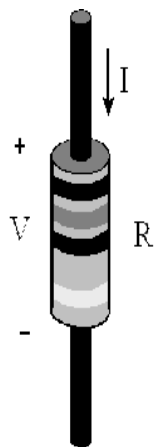
- „ovira pretok naboja“
- 2 vrsti prevodnikov :

- žica:

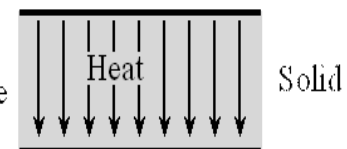
zanemarljiva upornost ($\approx 0\Omega$)

- upor (upornik)

deklarirana upornost v Ω



$T1$ = Hot temperature



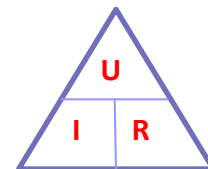
$T2$ = Cold temperature

2.2.1.1 Osnovni pojmi

■ Ohmov zakon:

- izraža relacijo med napetostjo, tokom in upornostjo

- U, I sorazmerna: $U = I R$, $I = U/R$, $R = U/I$



■ Električna moč - $P = U I$ [W]

- $P = U I = U^2/R = I^2 R$

■ Električna energija - $E = P t$ [J = W s]

- $E = P t = U I t$

■ Kapaciteta baterije - $Q = I t$ [Ah]

- el. naboj, ki ga baterija zagotovi ob določeni napetosti

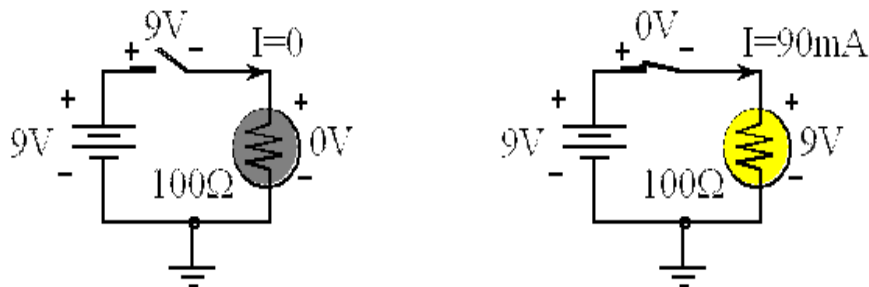
2.2.1.2 Osnovna pravila tokokrogov

<http://www.falstad.com/circuit/e-resistors.html>

1. Električni tok teče samo v sklenjenem tokokrogu (zanki)

2. Kirchhoffov napetostni zakon (KVL - Kirchhoff's Voltage Law)

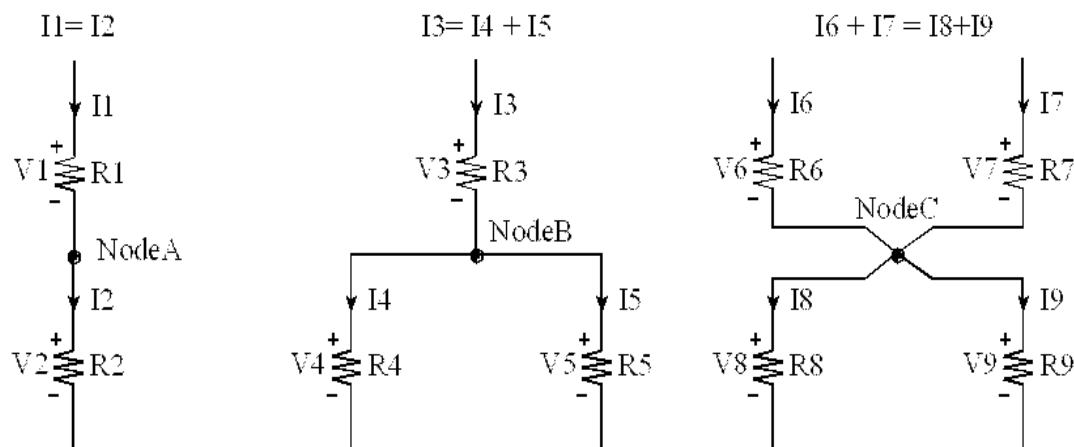
- **DEF:** Vsota vse padcev napetosti v zaključeni zanki je enaka 0
- **Primer:**



2.2.1.2 Osnovna pravila tokokrogov

3. Kirchoffov tokovni zakon (KCL - Kirchhoff's Current Law)

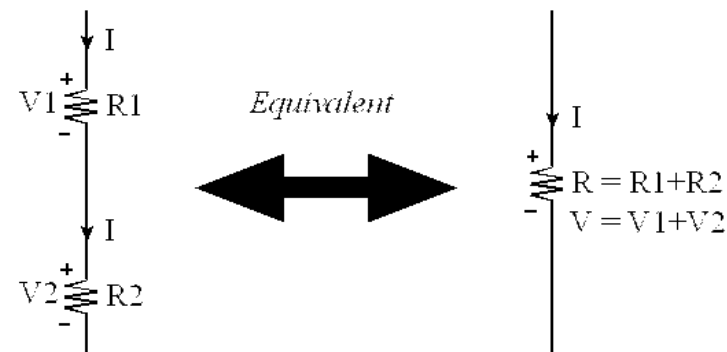
- DEF: Vsota tokov v vozlišče je enaka vsoti tokov iz vozlišča



2.2.1.2 Osnovna pravila tokokrogov

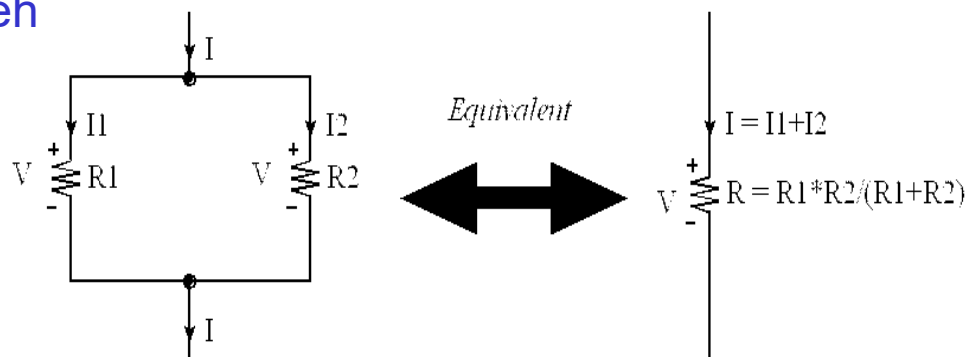
4. Zaporedna vezava upornikov

- enak tok skozi upore
- upornosti in padci napetosti se seštevajo



5. Vzporedna vezava upornikov

- enak padec napetosti na vseh
- različni tokovi skozi upore
- $1/R = 1/R_1 + 1/R_2 + \dots$



2.2.2 Družine digitalnih vezij

Najbolj znane so tri skupine (družine):

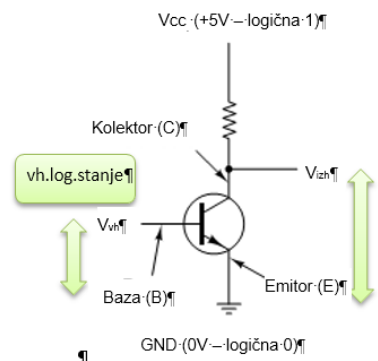
- ☐ TTL vezja (Transistor Transistor Logic)
- ☐ CMOS vezja (Complementary Metal Oxide Semiconductor)
- ☐ ECL vezja (Emitter Coupled Logic)
- ☐ ...

2.2.2.1 Družina TTL digitalnih vezij



Uporaba

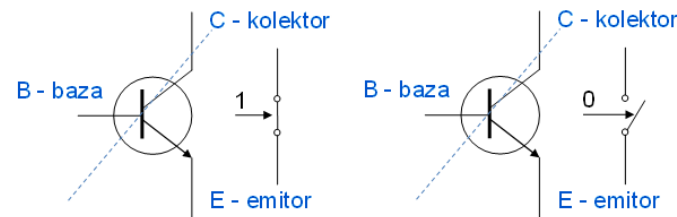
- enostavni sistemi
- „lepilo“



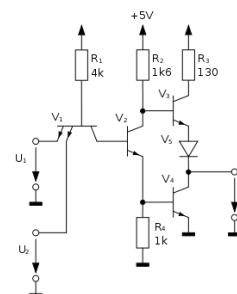
vh.log.stanje baza-emitor	V_{vh}	izh.log.stanje kolektor-emitor	V_{izh}
1	5V(3.3V)	0	0V
0	0V	1	5V(3.3V)

Razvoj

- 1961 .. Patent (James Buie)
- 1963 .. Komercialno IC vezje
- 1964 .. 54xxx, 74xxx (Texas Instr.)
- 1985 .. 74A(L)Sxxx
- 2017 .. še vedno na voljo



<http://www.falstad.com/circuit/e-transswitch.html>



2.2.2.1 Družina TTL digitalnih vezij - poddružine

Oznaka	Opis	typ t_p [ns]	moč[mW]
74xxx	najstarejša, se ne uporablja več	10	10
74Lxxx	(Low Power): manjša poraba, a počasnejši	33	1
74Hxxx	(High Speed): večja hitrost, večja poraba	6	22
74Sxxx	(Schottky) S-dioda preprečuje zasičenje - 3x hitr. od 74xxx, 2x večja poraba energije	3	19
74LSxxx	(Low Power + Schottky): standard, nadomesti L,H in S serijo. Najbolj razširjen.	9.5	2
74Fxxx	(Fast) - 1985	3	5.4
74ASxxx	(Advanced Schottky)	1.7	8
74ALSxxx	(Advanced Low Power + Schottky)	4	1.2

2.2.2.1 Družina TTL digitalnih vezij



Prednosti:

- na začetku je predstavljala velik napredek
- enostavno načrtovanje (mešanje, povezave ena->več)
- manjša občutljivost na statična praznjenja (kot CMOS)

Slabosti:

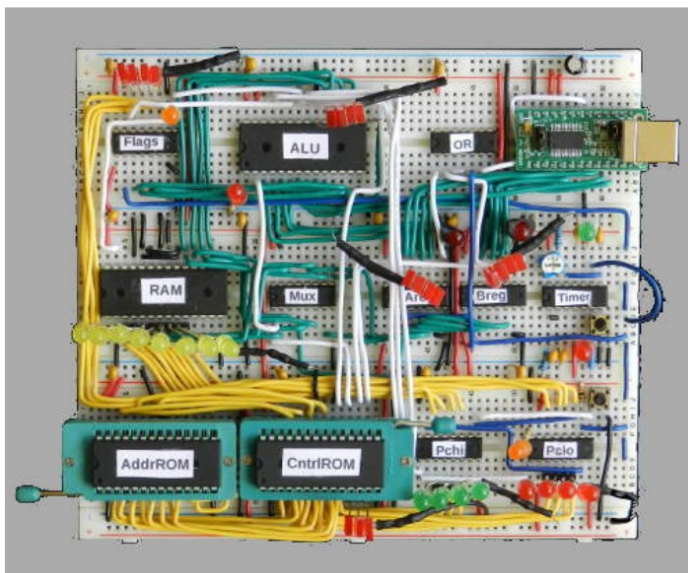
- statična poraba - večja kot CMOS
- asimetrija upornosti v stanjih – neprimerno za vodila

2.2.2.1 Družina TTL digitalnih vezij

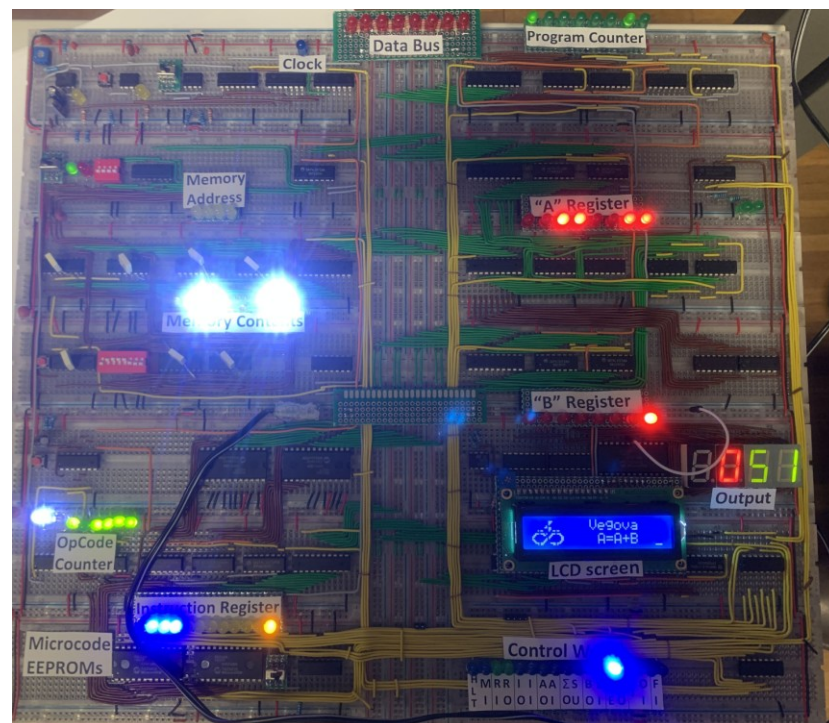
Zanimivo:

Warren's Crazy Small CPU

(c) 2017 Warren Toomey, GPL3



Breadboard Computer



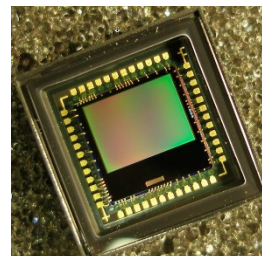
74xxx Computer project.mp4

<https://minnie.tuhs.org/Programs/CrazySmallCPU/index.html>

2.2.2.2 Družina CMOS digitalnih vezij

Uporaba

- mikroproc., mikrokrmilniki, SRAM
- digitalna vezja
- slikovna tipala



Razvoj

- do 1980 .. počasnejša od TTL
- 1976-> .. prevladuje v razmerju proc. moč/poraba
- 1990+ -> .. najpogostejša v VLSI vezjih

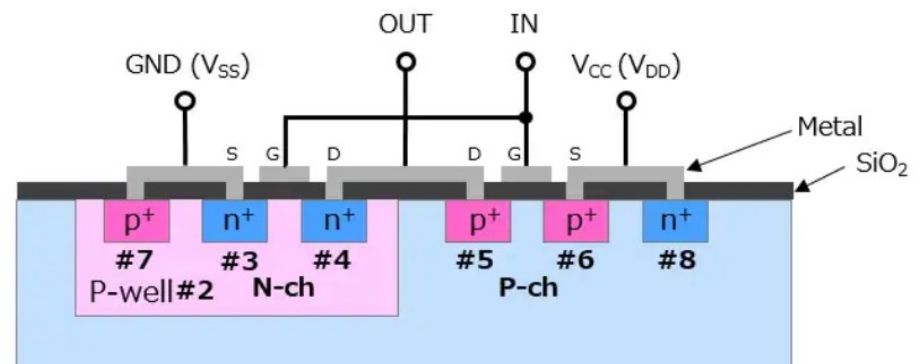
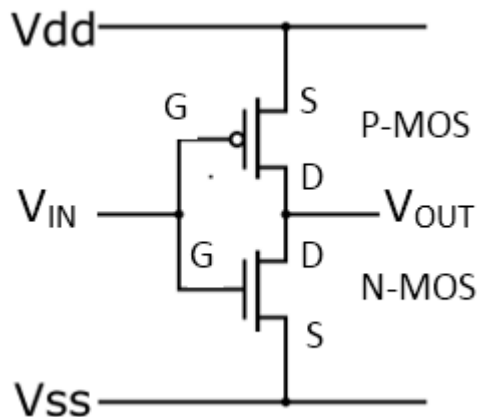
2.2.2.2 Družina CMOS digitalnih vezij - poddružine

Oznaka	Opis	typ t_p [ns]	moč[mW]
74Cxxx	Enak razpored kot TTL 74xxx, nima TTL nivojev!	50	0.8
74HCxxx	(High-speed CMOS) hitrost enaka 74LS (TTL), 5xhitrejša od 74Cxxx	9	0.9
74HCTxxx	(združljiva s TTL vezji)	9	0.9
74ACxxx	(Advanced ...) hitrost enaka 74AS in 74F (TTL)	3	0.8
74ACTxxx	(združljiva s TTL)	3	0.8
74AUCxxx	(Advanced Ultra Low Voltage CMOS)	2	
ASIC – VLSI	90nm tehnologija, realizacija tranz. na čipu	0.12	

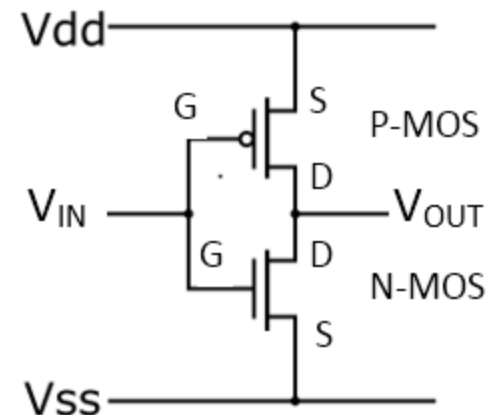
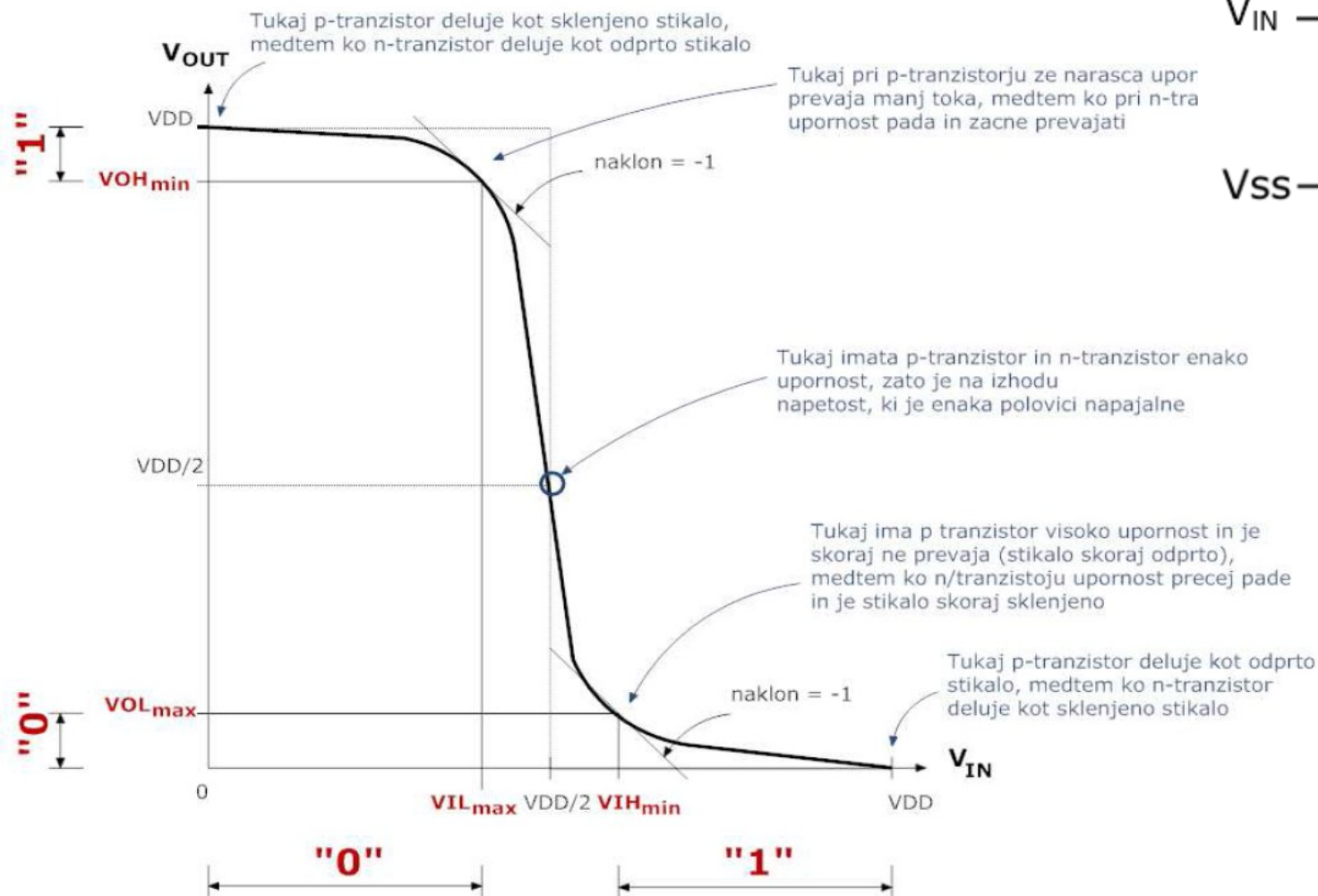
2.2.2.2 Družina CMOS digitalnih vezij

Realizacija – negator kot osnovni element

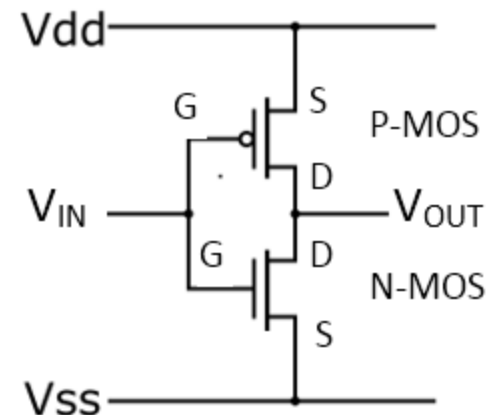
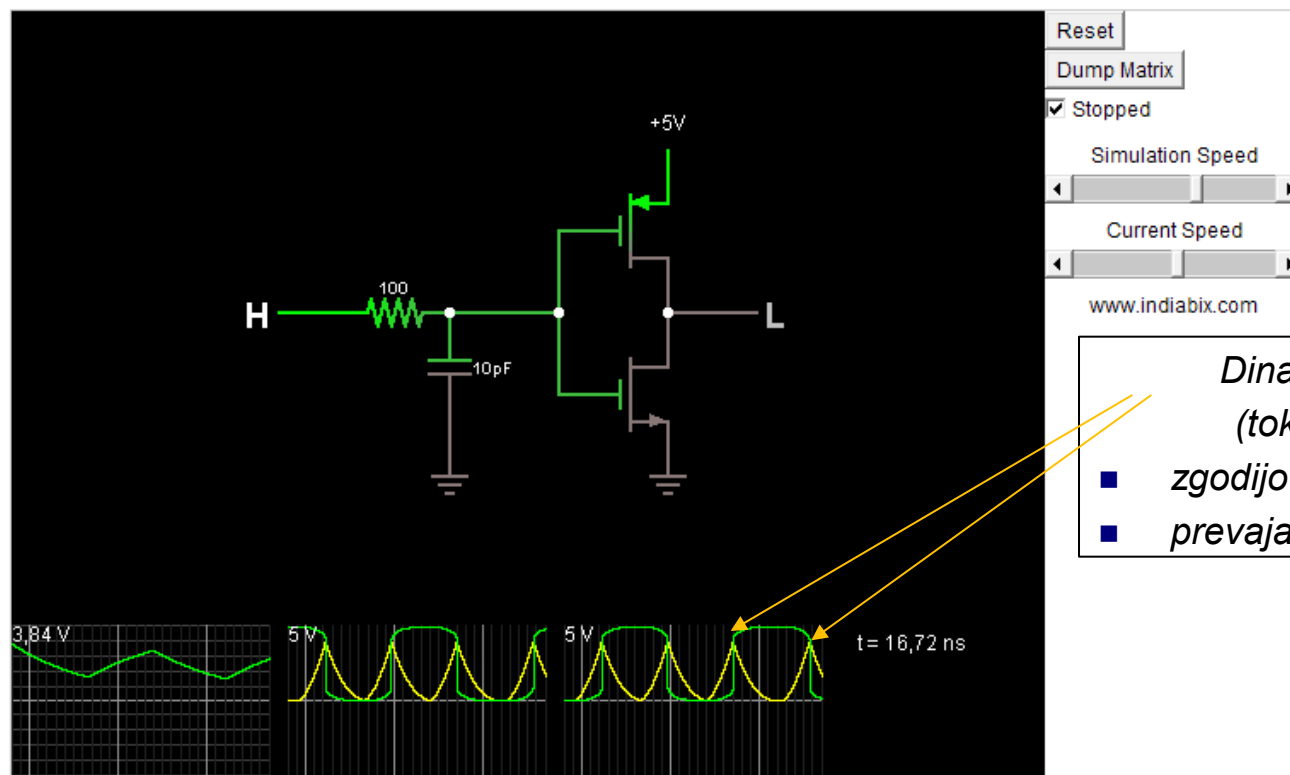
- komplementarni par tranzistorjev (P-MOS in N-MOS):
 - $V_{IN} = H \rightarrow$ P-MOS..OFF N-MOS..ON $V_{OUT} = L (V_{SS})$
 - $V_{IN} = L \rightarrow$ P-MOS..ON N-MOS..OFF $V_{OUT} = H (V_{DD})$



2.2.2.2 Družina CMOS digitalnih vezij



2.2.2.2 Družina CMOS digitalnih vezij



*Dinamična poraba
(tokovne špice) :*

- zgodijo se ob preklopu
- prevajata oba tranzistorja

Circuit Description:

This is an inverter with a filter on the input to cause it to change more slowly. It shows that there is a spike in current across the inverter when the input is in transition, causing power consumption whenever the gate changes state.

<http://www.falstad.com/circuit/e-cmosinverterslow.html>

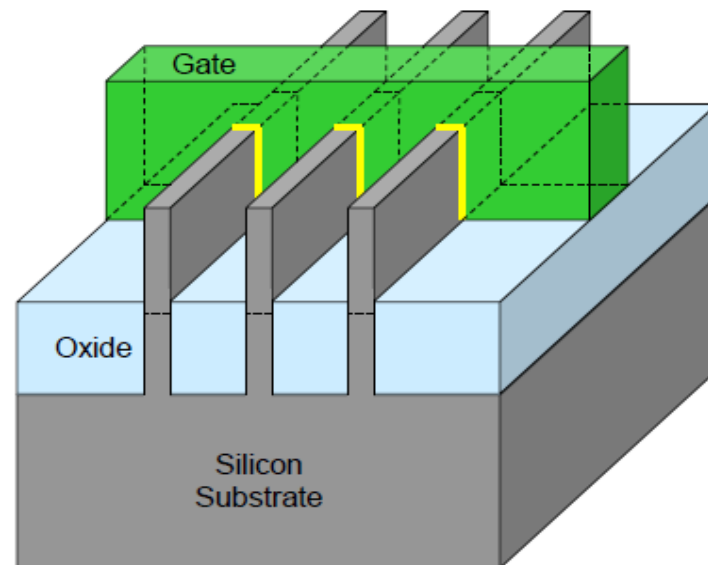
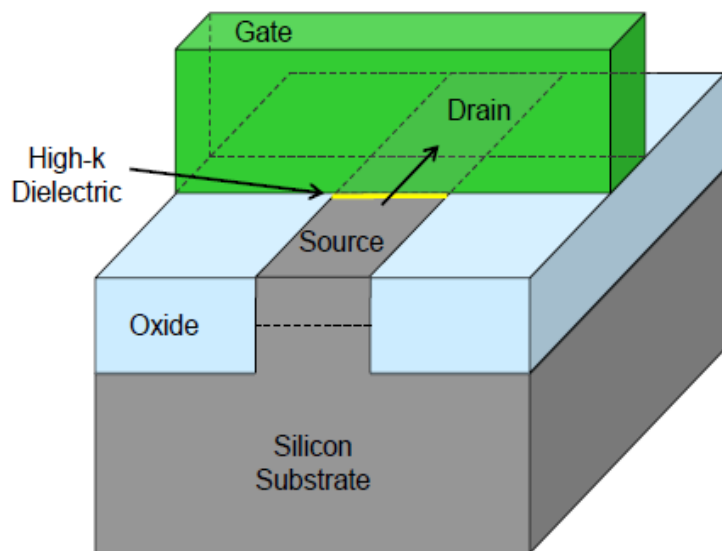
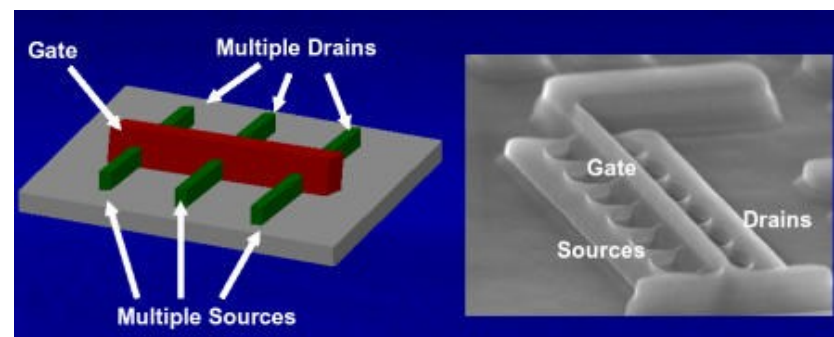
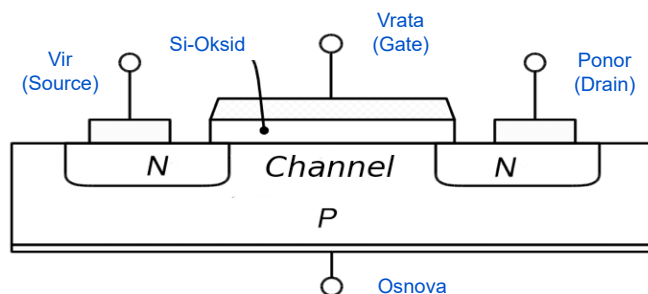
2.2.2.2 Družina CMOS digitalnih vezij

Evolucija realizacije CMOS tranzistorja :

2D - Planar

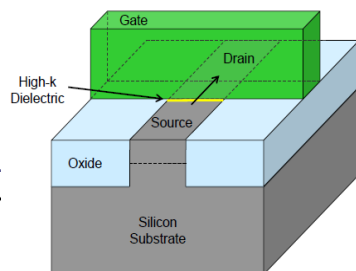
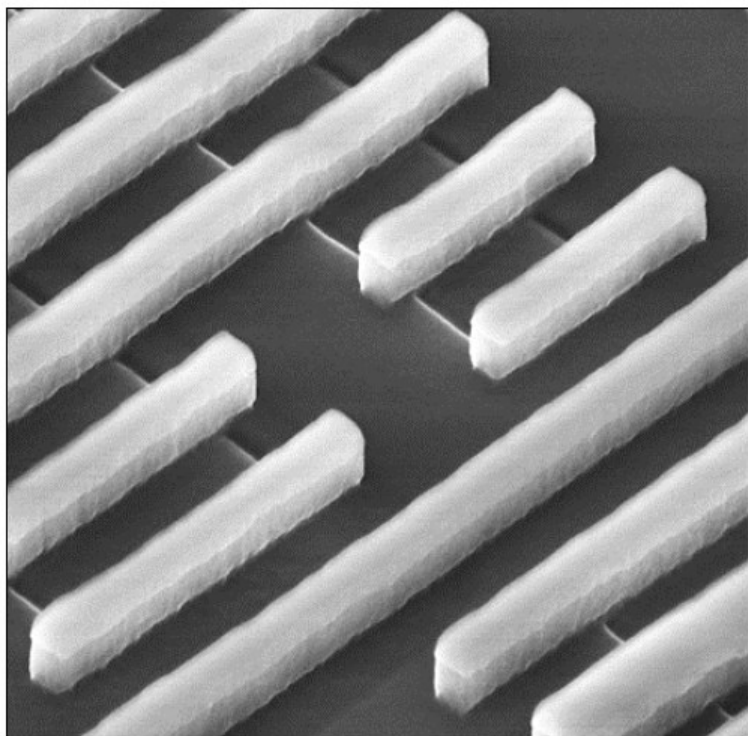


3D - TriGate



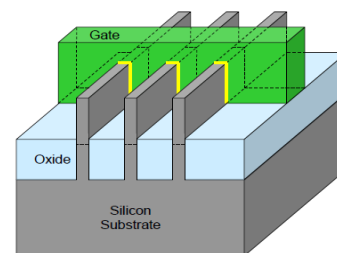
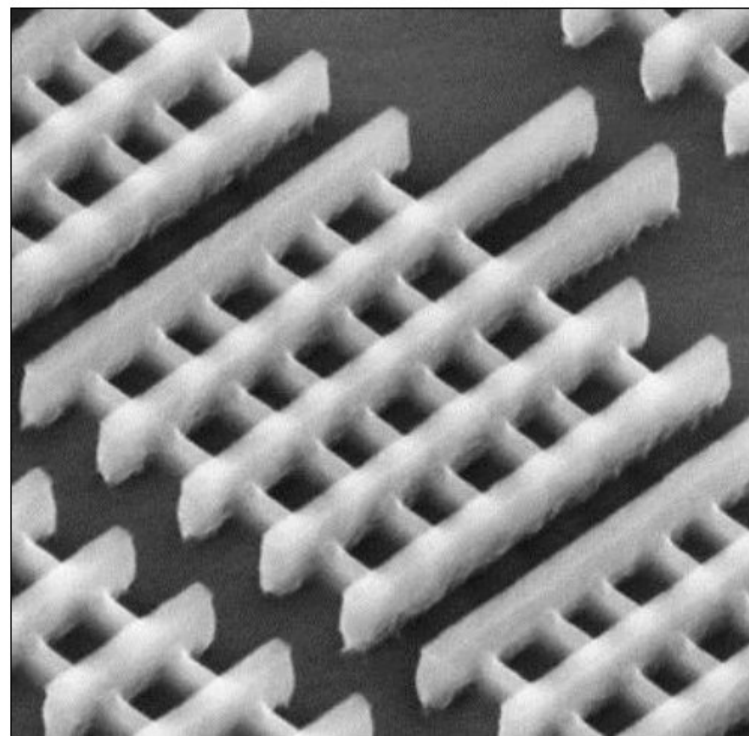
Realizacije CMOS tranzistoria :

32 nm Planar Transistors



OR – 2 – Povzetl

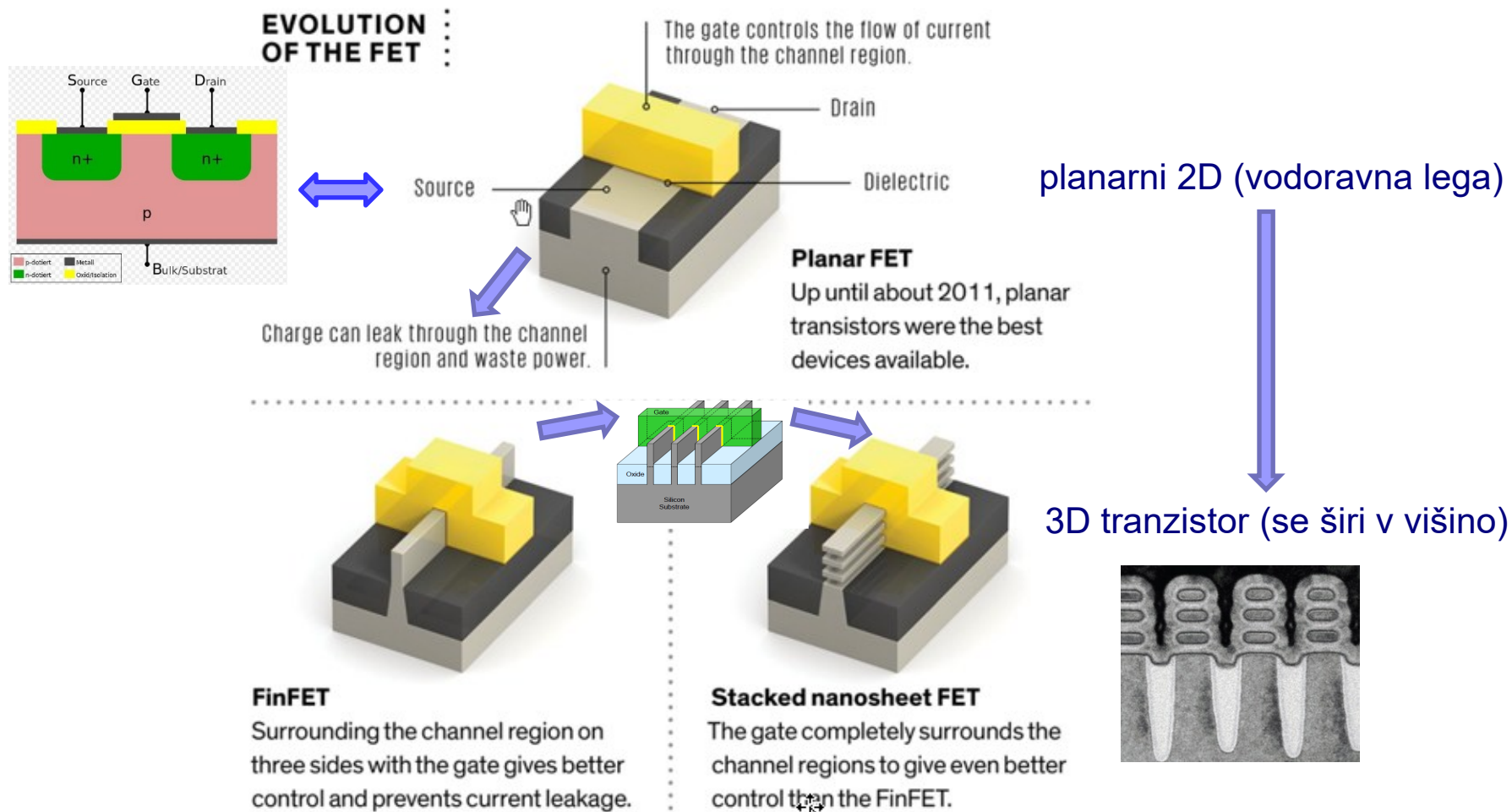
22 nm Tri-Gate Transistors



R.Rozman - FRI

Razvoj tranzistorjev v najsodobnejših vezjih:

- prehod iz vodoravne (2D) v navpično obliko (3D) -> manjša površina, večja gostota !!!



2.2.2.2 Družina CMOS digitalnih vezij

Prednosti:

- majhna statična poraba (red velikosti nA)
- odpornost na šum
- omogoča VLSI

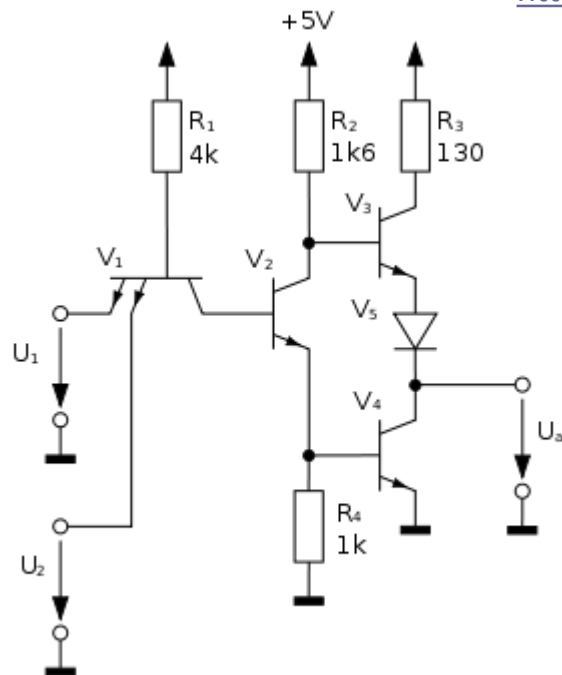
Slabosti:

- dinamična poraba (preklop-tokovna špica, frekvenca)
- statična poraba (v VLSI – št. tranzistorjev)

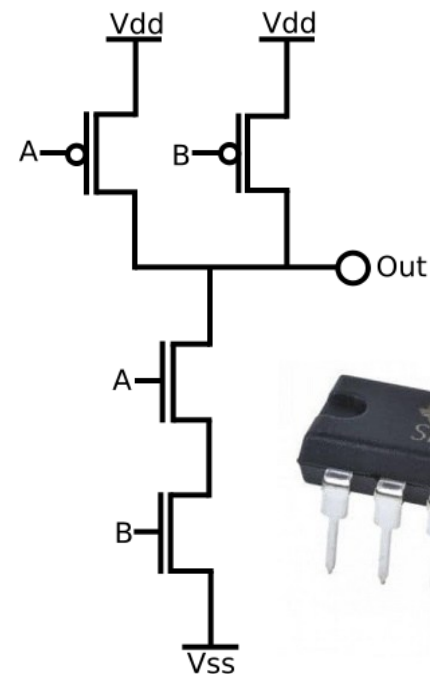
2.2.2.2 Tipična TTL in CMOS NAND vrata

<http://www.falstad.com/circuit/e-ttlNand.html>

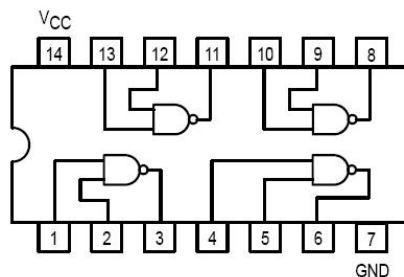
<http://www.falstad.com/circuit/e-cmosnand.html>



TTL



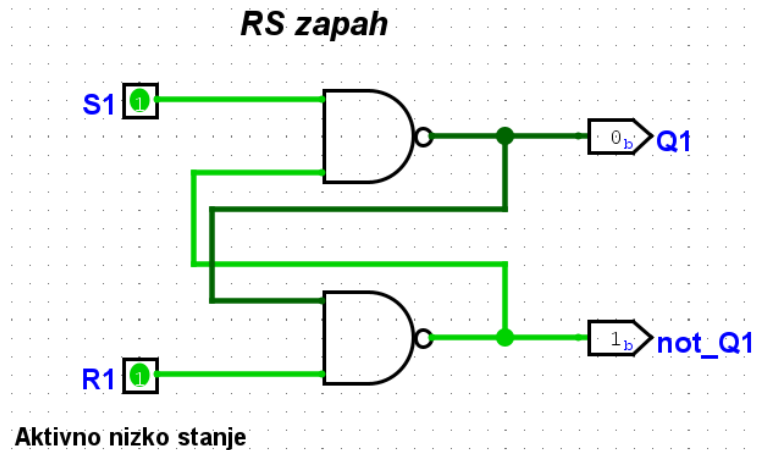
CMOS



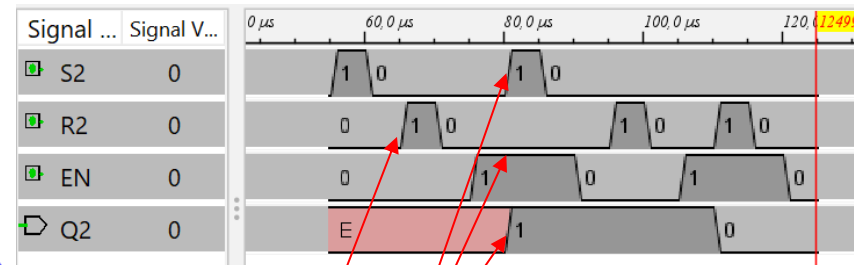
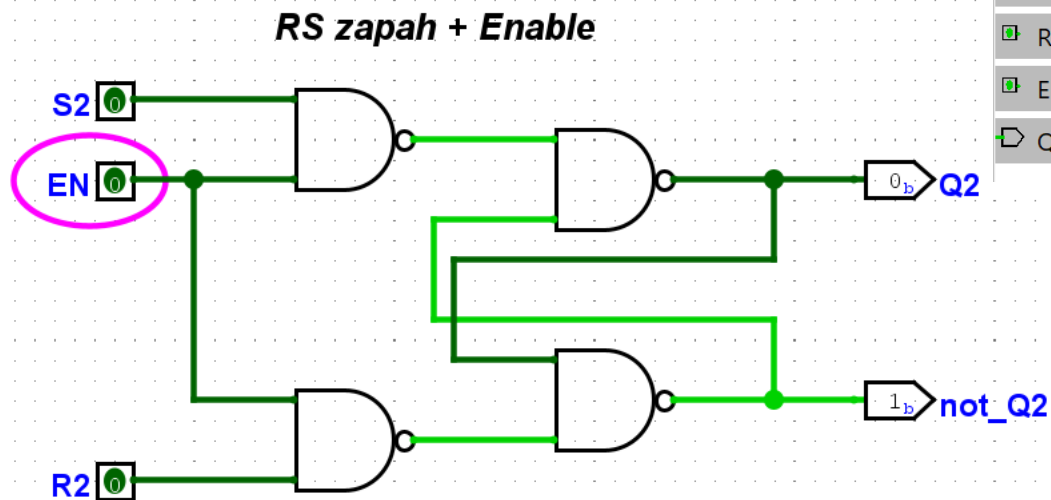
A1	B1	X1
0	0	1
0	1	1
1	0	1
1	1	0

2.2.2.3 Pomnilne celice I

- RS zapah („bistabil“):
 - asinhronski



- RS zapah in urin signal (nivo):



Reagira ob EN=1

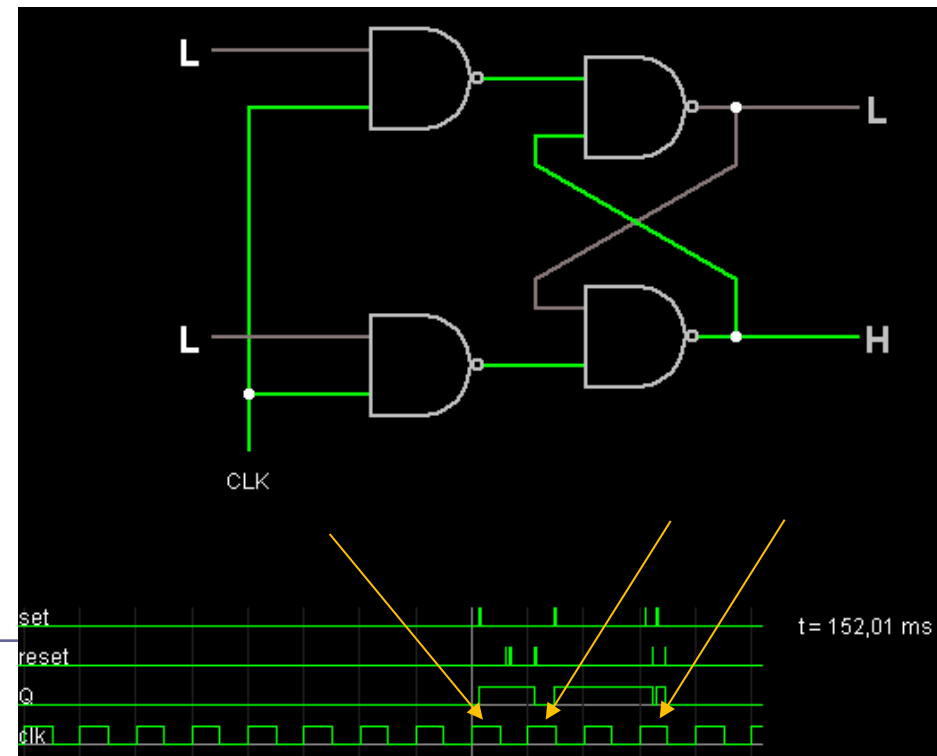
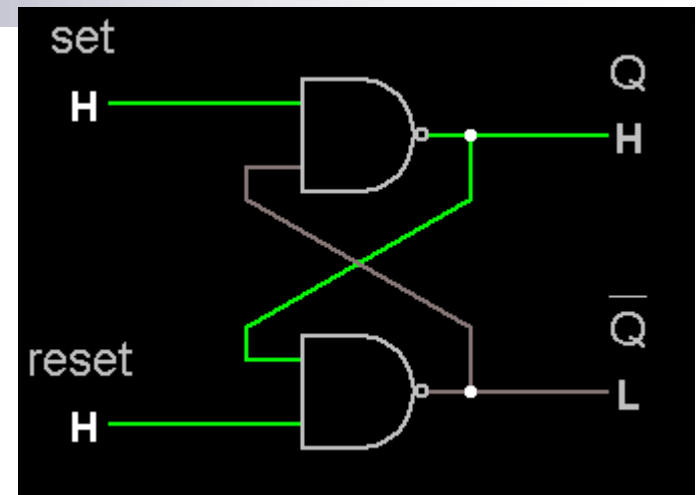
2.2.2.3 Pomnilne celice I

- RS zapah („bistabil“):

- <https://goo.gl/8DBez8>

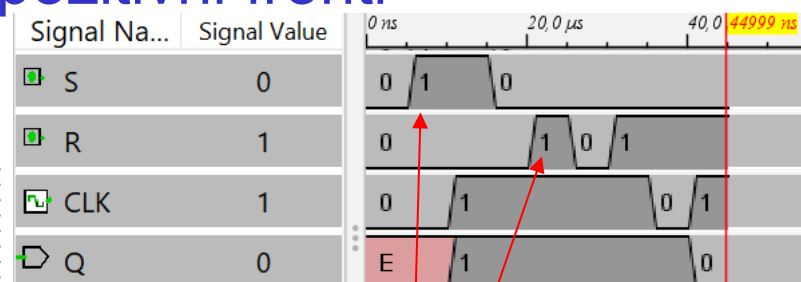
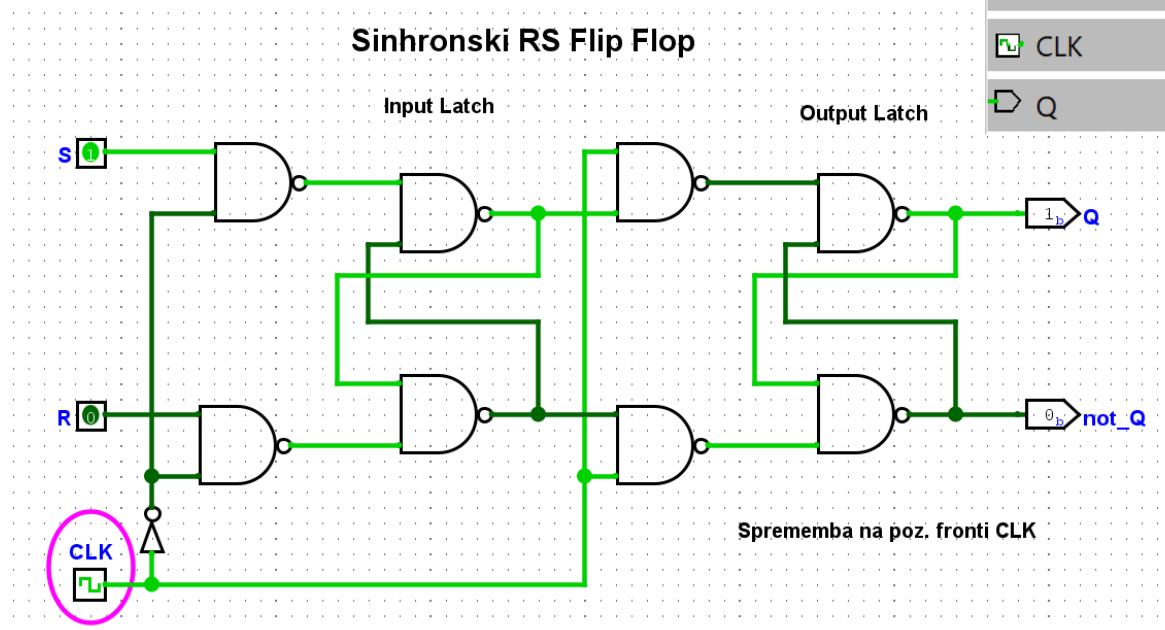
- RS zapah in urin signal (nivo):

- <https://goo.gl/9D36nW>



2.2.2.3 Pomnilne celice II

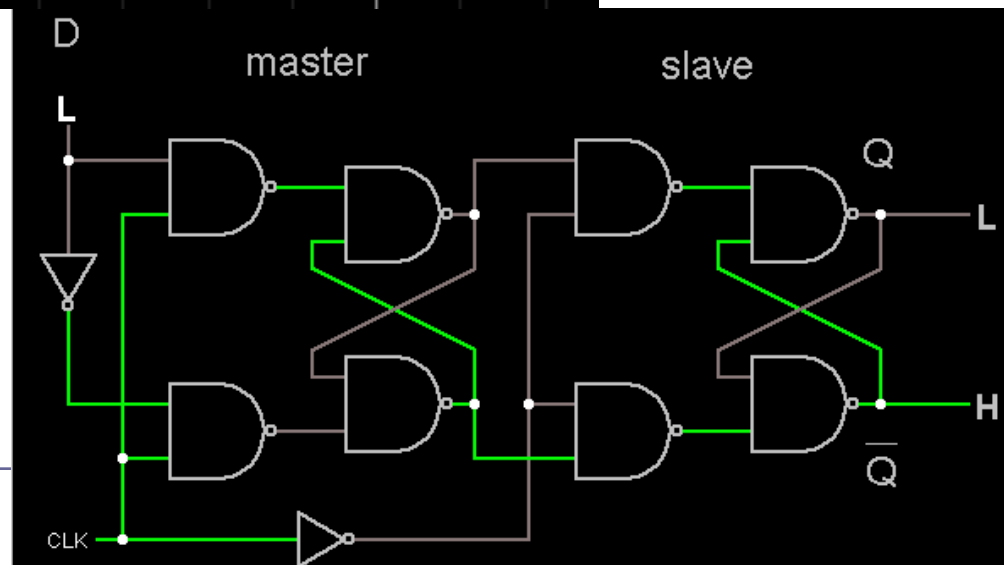
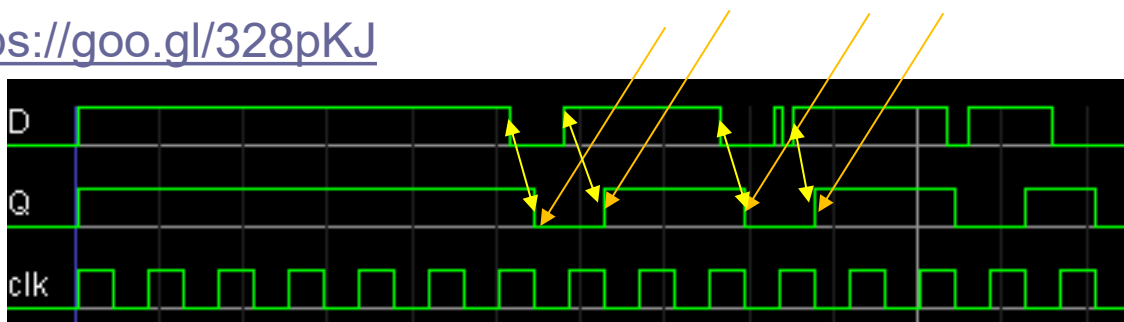
- Sinhronski RS (D) flip-flop (statična pomnilna celica):
 - 2 RS zapaha s protifaznim urinim signalom
 - primer spodaj reagira ob pozitivni fronti



Reagira ob pozit.
fronti CLK

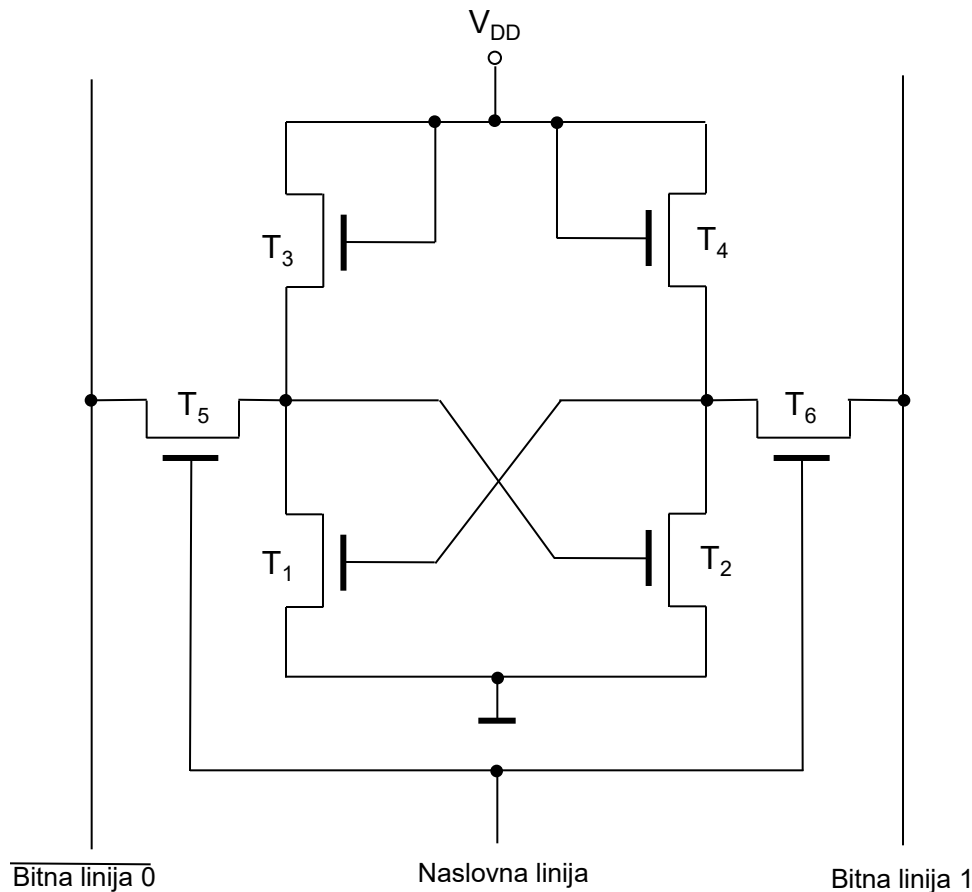
2.2.2.3 Pomnilne celice II

- Sinhronski D flip-flop (statična pomnilna celica) :
 - 2 RS zapaha s protifaznim urinim signalom
 - primer spodaj reagira ob negativni fronti
 - <https://goo.gl/328pKJ>

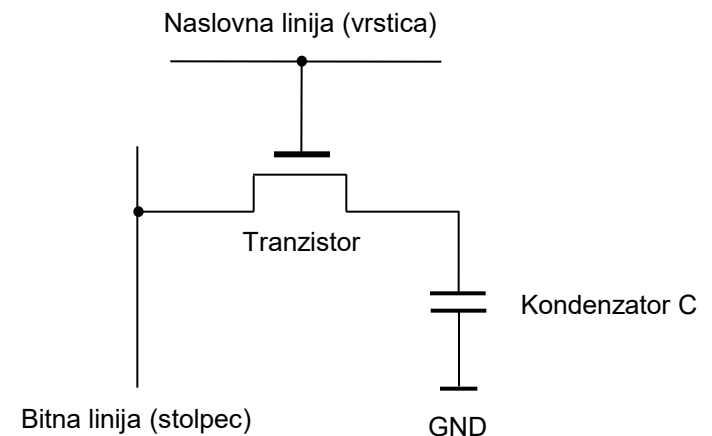


2.2.2.3 Pomnilne celice SRAM, DRAM

SRAM (Statični RAM)
pomnilniška celica



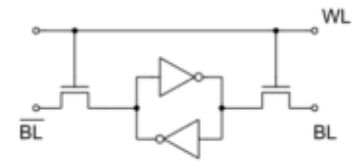
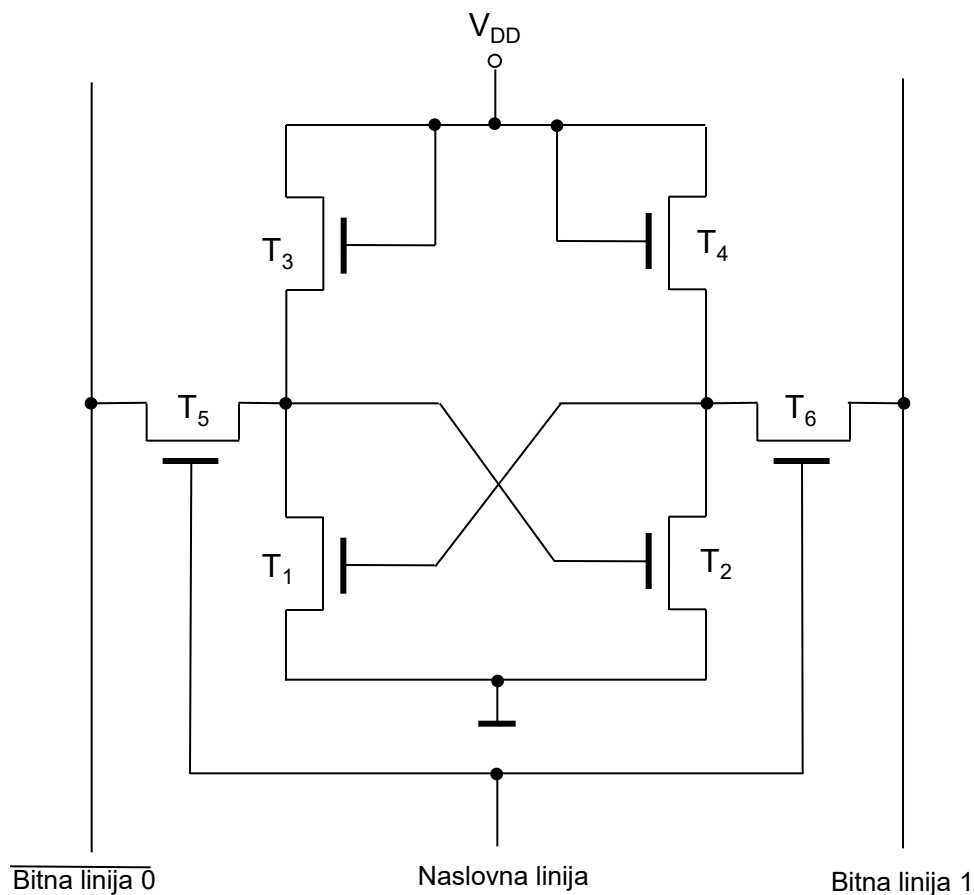
DRAM (Dinamični RAM)
pomnilniška celica



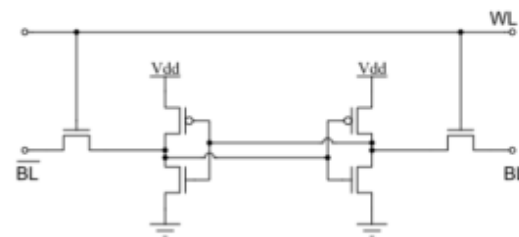
<http://www.falstad.com/circuit/e-dram.html>

2.2.2.3 Pomnilne celice – SRAM

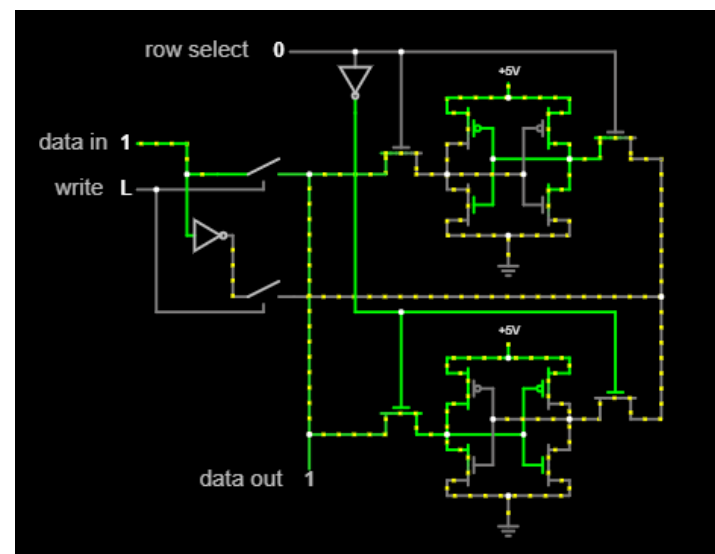
SRAM (Statični RAM)
pomnilniška celica



(a) A basic structure of an SRAM cell.



(b) 6-transistor SRAM cell.



2.2.2.3 Pomnilne celice – DRAM

DRAM (Dinamični RAM)
pomnilniška celica

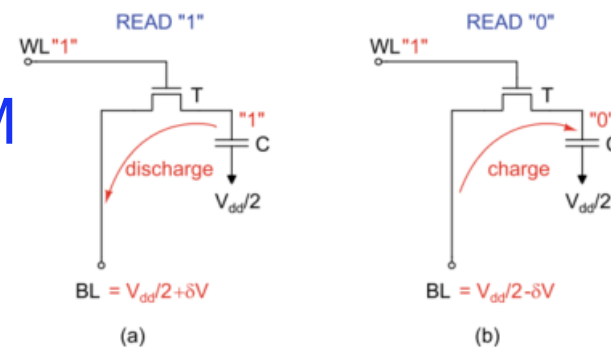
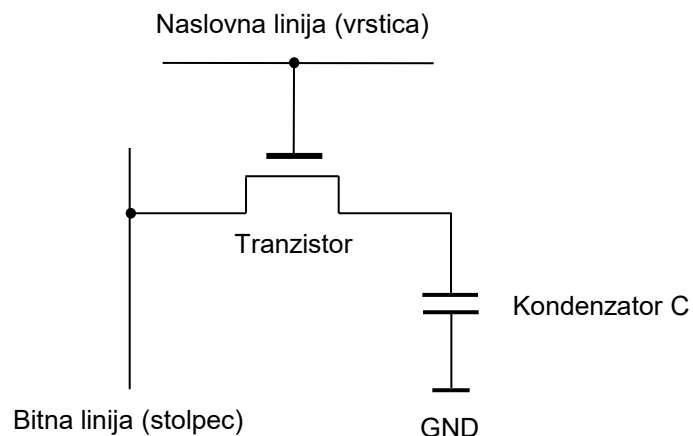
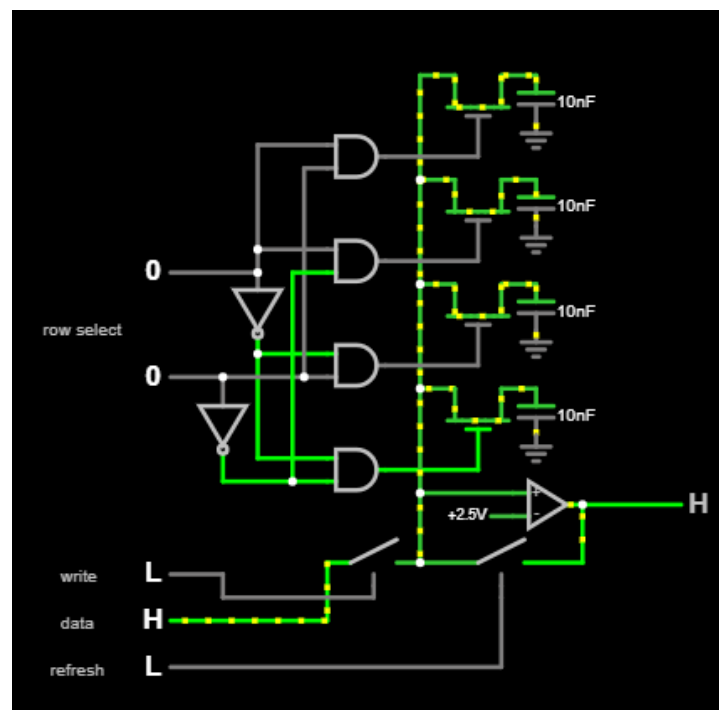


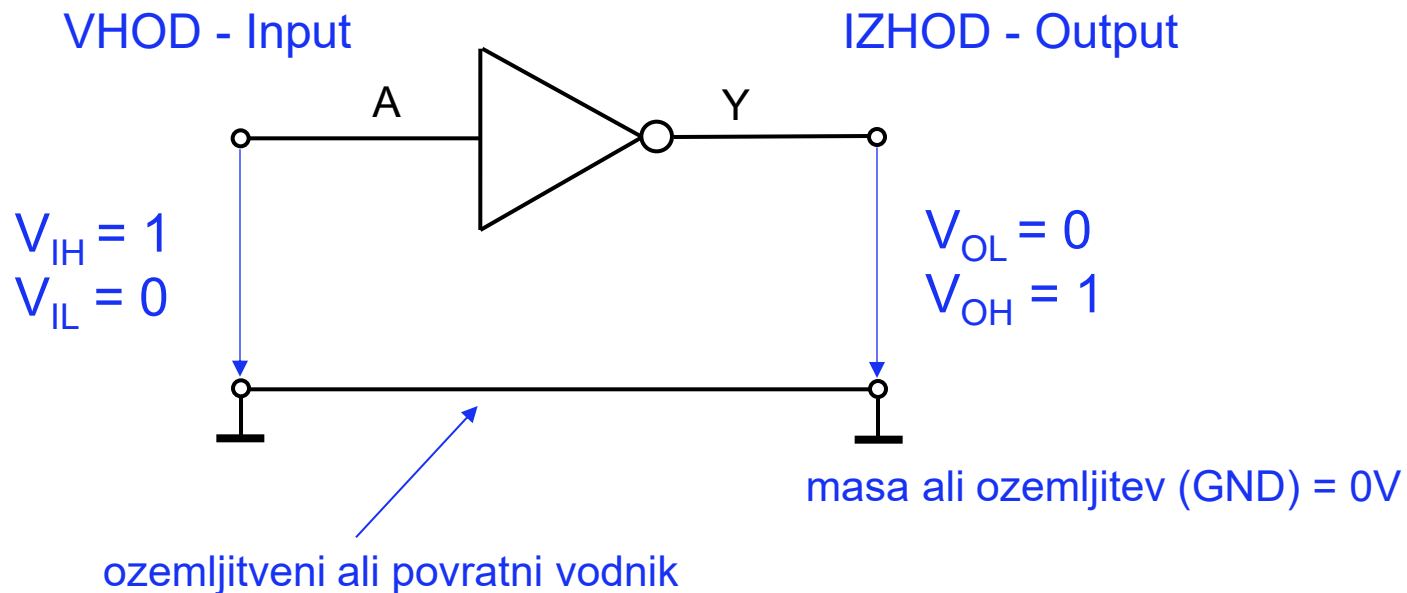
Fig. 4.8 Reading from a DRAM cell. **a** Reading "1" from a DRAM cell discharges the storage capacitor and slightly increases the voltage of the bit line. **b** Reading "0" from a DRAM cell charges the storage capacitor and slightly decreases the voltage of the bit line. In both cases, information is lost



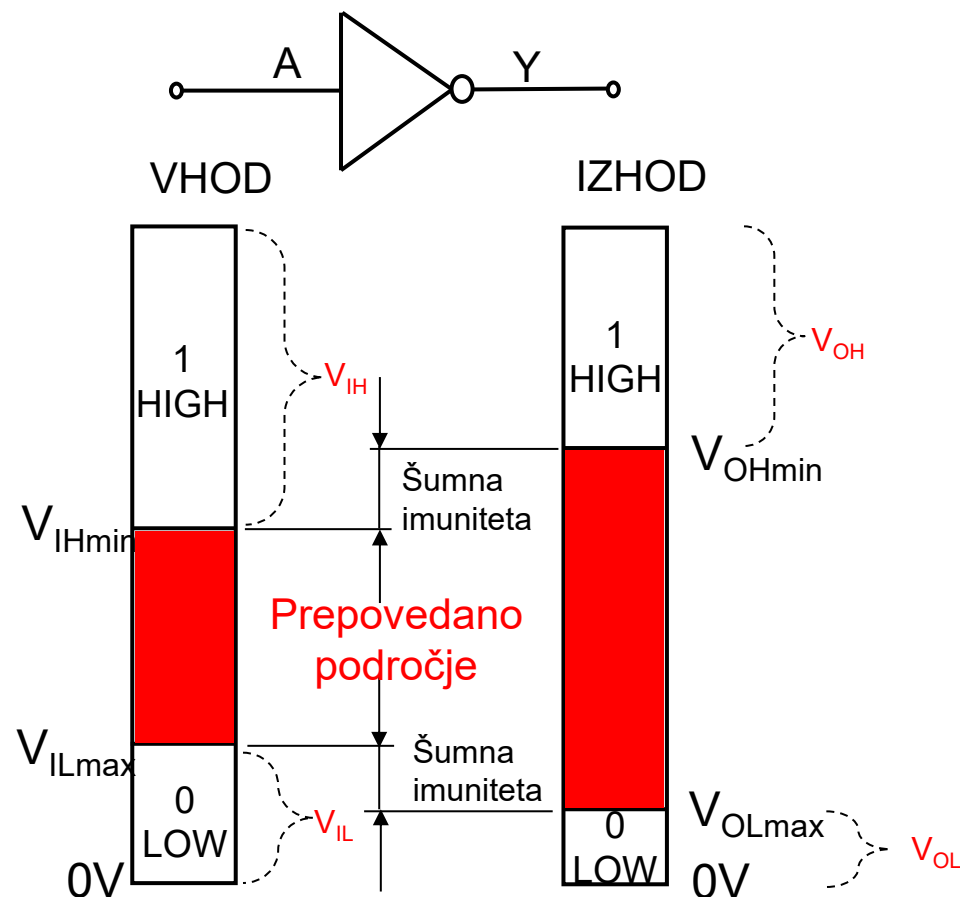
<http://www.falstad.com/circuit/e-dram.html>

2.2.4 Napetostni nivoji za visok in nizek logični nivo

- Stanji 0 in 1 sta v digitalnih elektronskih vezjih predstavljeni z velikostjo napetosti na vhodu v vezje oziroma na izhodu iz vezja proti masi (GND = 0V)

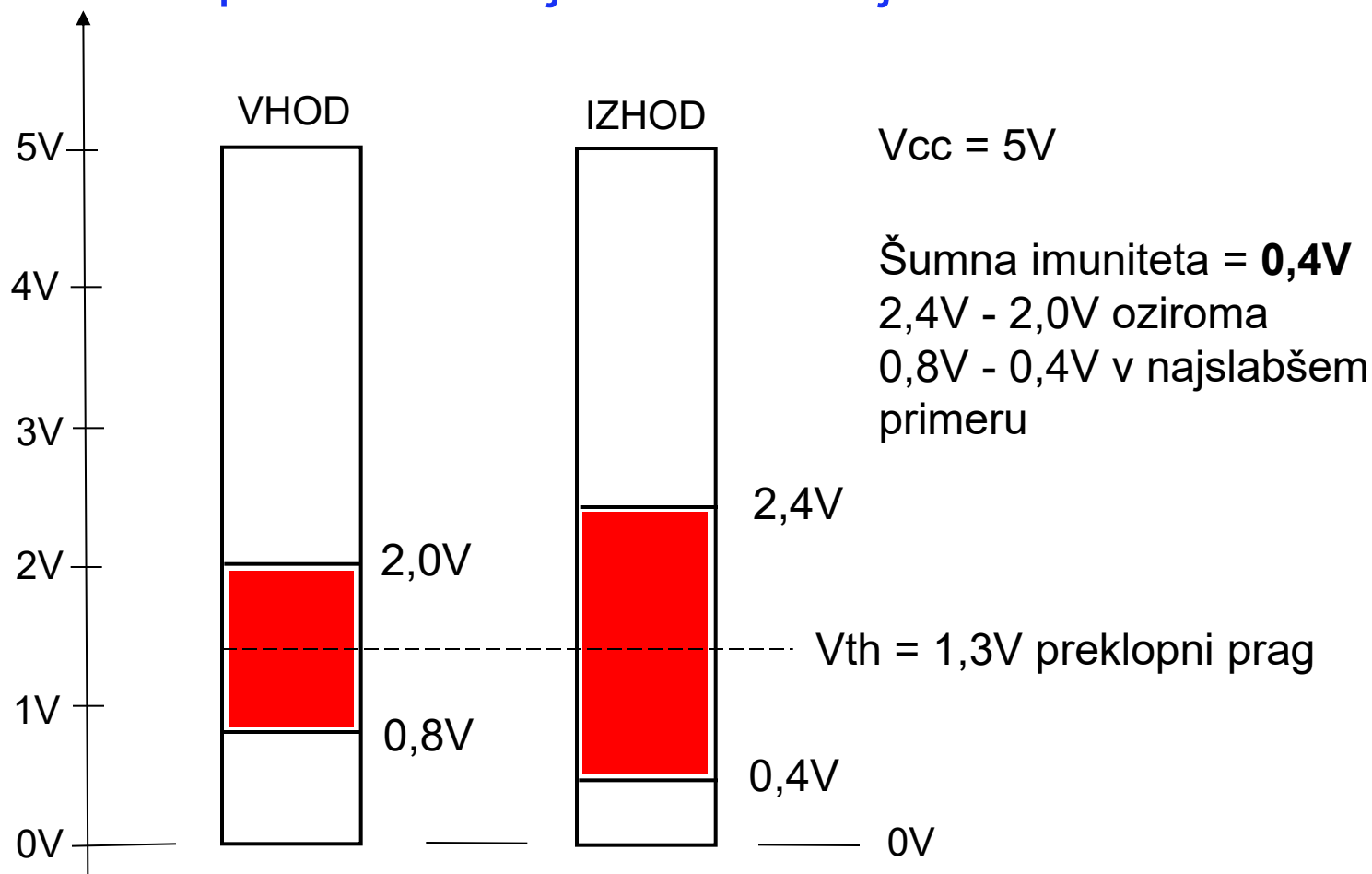


2.2.4 Napetostni nivoji za visok in nizek logični nivo

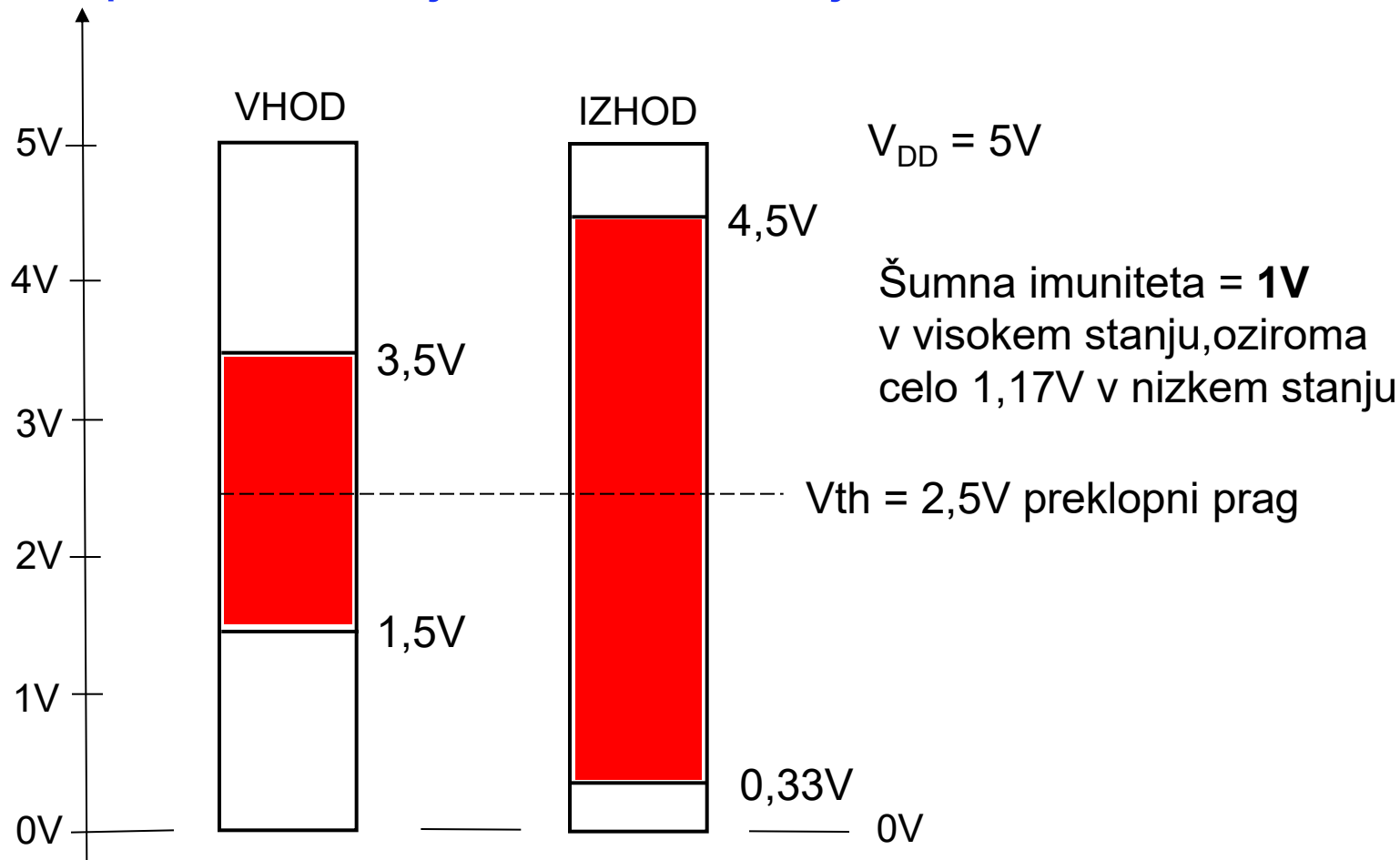


- V_{IH} (V Input High): Napetost med vhodom vezja in maso, če je na vhodu stanje logična 1
- V_{IL} (V Input Low): Napetost med vhodom vezja in maso, če je na vhodu stanje logična 0
- V_{OH} (V Output High): Napetost med izhodom vezja maso, če je na vhodu stanje logična 1
- V_{OL} (V Output Low): Napetost med izhodom vezja in maso, če je na vhodu stanje logična 0

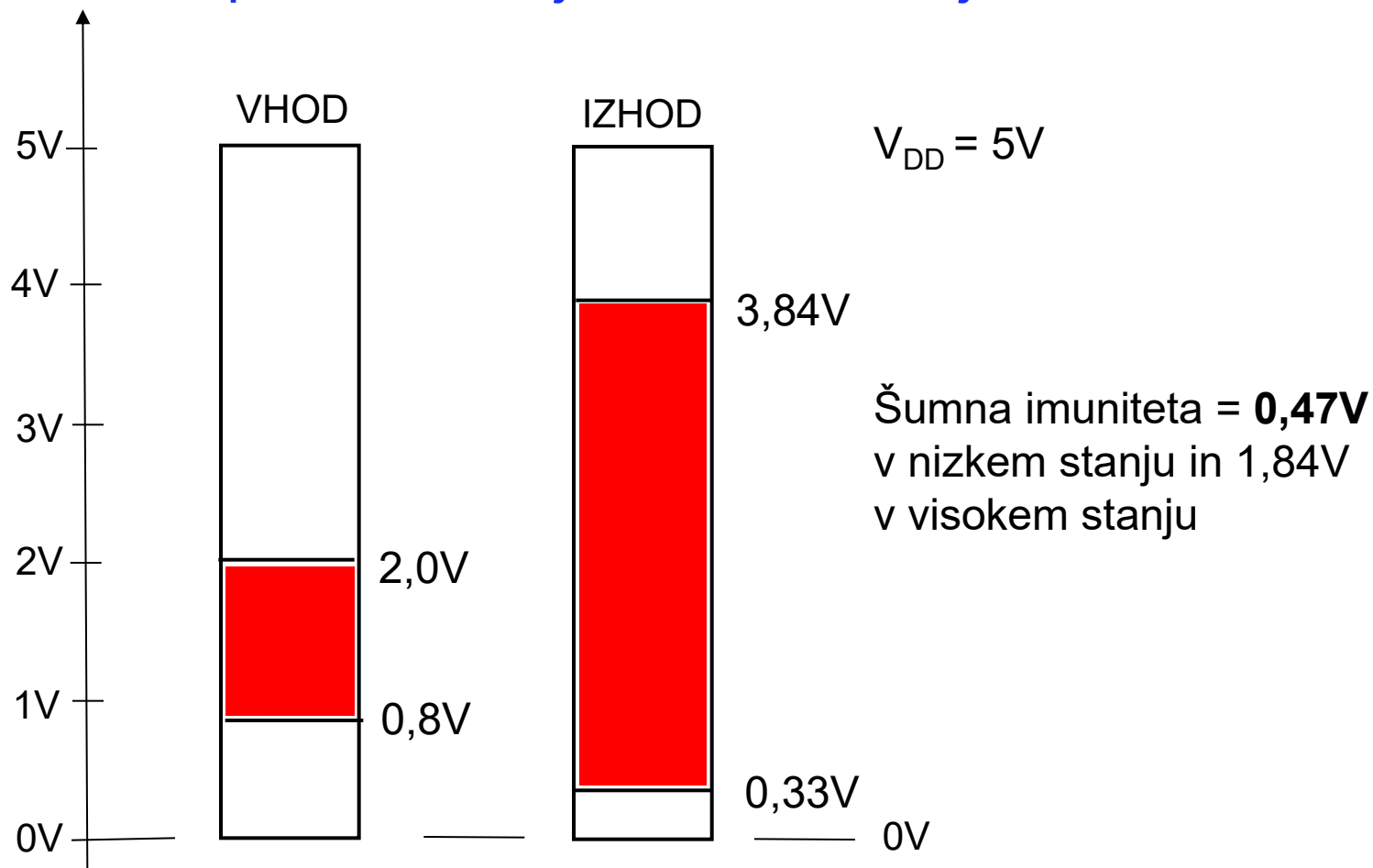
Napetostni nivoji za TTL vezja



Napetostni nivoji za CMOS vezja 74Cxxx



Napetostni nivoji za CMOS vezja 74HCT in ACT



2.2.4 Napajalne napetosti

- TTL: $V_{CC}=+5V$
- LV-TTL $V_{CC}=+3.3V$

- CMOS :
 - C $V_{DD}= +3V \dots +15V$
 - HCT,ACT(TTL) $V_{DD}= +5V (+/-10\%)$

- Trend: nižanje napajalne napetosti...

2.2.5 Odpornost proti šumu

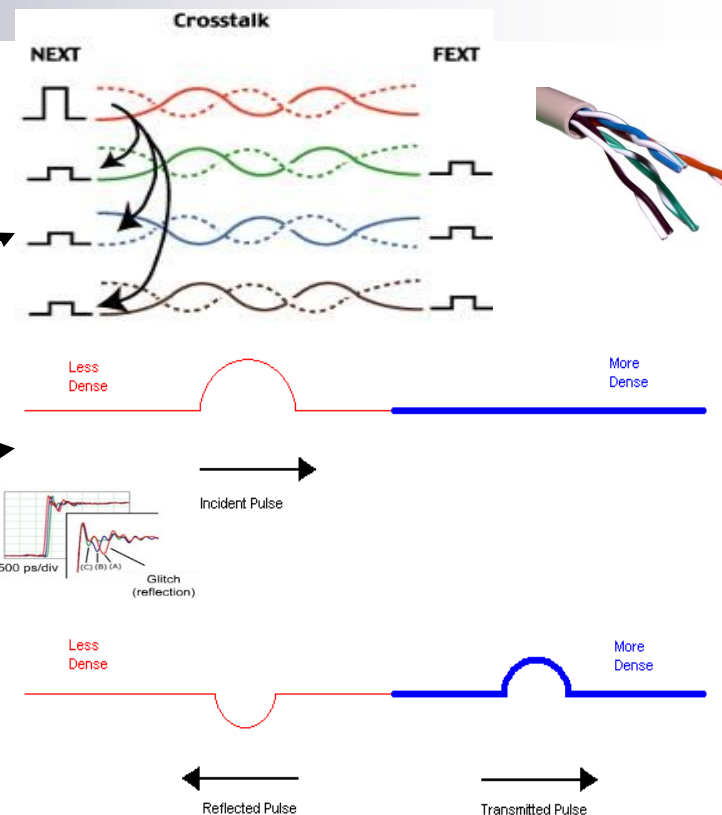
■ ŠUM.. neželen motilni signal

■ Izvori :

- ☐ v sistemu (presluh, odboj)
- ☐ zunanji:
 - brezžični (EMC, EM sevanja),
 - žični (el. omrežje, motnje)

■ Šumna imuniteta

- ☐ Določanje po načelu „Worst Case“
- ☐ Pomembno tudi trajanje ($< 0.5t_p$)
- ☐ Tipično so razmere precej boljše od WC ->

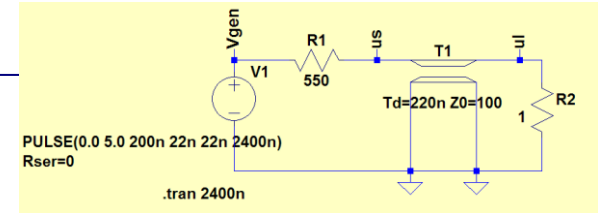


(LV2) - Merjenje odbojev na liniji

Primerjava: Simulacija (LTSpice)

SPICE Simulacije slik iz osciloskopa: UTP kabel, $R_S = 50..550 \Omega$, $R_L = 1..500 \Omega$

Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.



Višje potujoče napetosti!

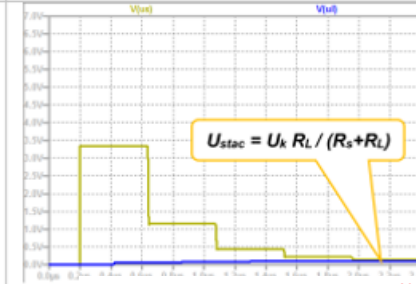
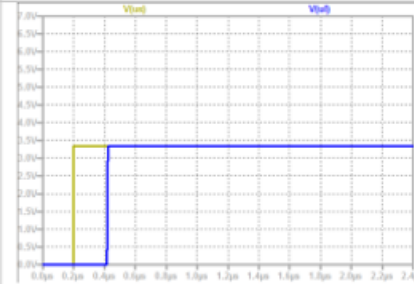
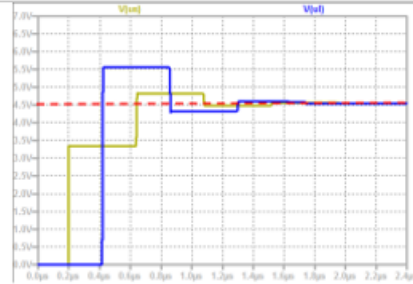
$R_0 = 100 \Omega$
 $R_L, R_S = 0, 50, 500 \Omega$

$R_L > R_0$, $R_L = 500 \Omega$
 $\rho_L = 0.666$ (poz. odboj)

$R_L = R_0$
 $\rho_L = 0$ (ni odboja)

$R_L < R_0$, $R_L = 1 \Omega$
 $\rho_L = -0.98$ (neg. odboj)

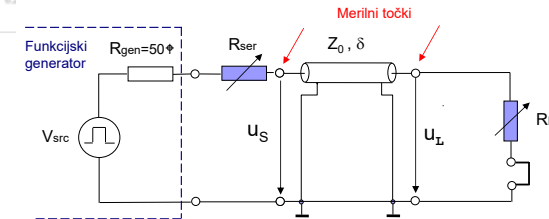
$R_S < R_0$
 $R_S = 50 \Omega$
 $\rho_S = -0.333$
[0.5V/razdelek]



Primerjava: Meritve z osciloskopi

Slike osciloskopa: UTP kabel, $R_S = 50..550 \Omega$, $R_L = 1..500 \Omega$ ($R_{gen} = 50 \Omega$) UTP

Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.



Višje potujoče napetosti!

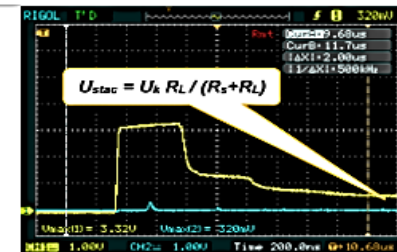
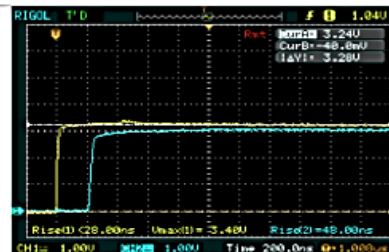
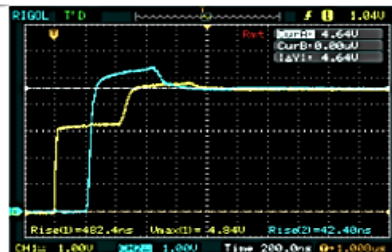
$R_0 = 100 \Omega$
 $R_L, R_S = 0, 50, 500 \Omega$

$R_L > R_0$, $R_L = 500 \Omega$
 $\rho_L = 0.666$ (poz. odboj)

$R_L = R_0$
 $\rho_L = 0$ (ni odboja)

$R_L < R_0$, $R_L = 1 \Omega$
 $\rho_L = -0.98$ (neg. odboj)

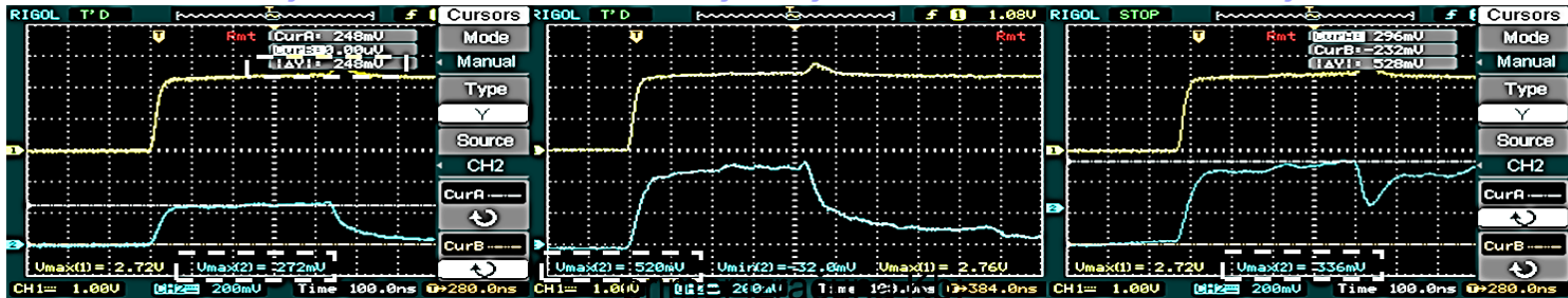
$R_S < R_0$
 $R_S = 50 \Omega$
 $\rho_S = -0.333$
[1V/razdelek]



Primeri meritev presluha – UTP kabel

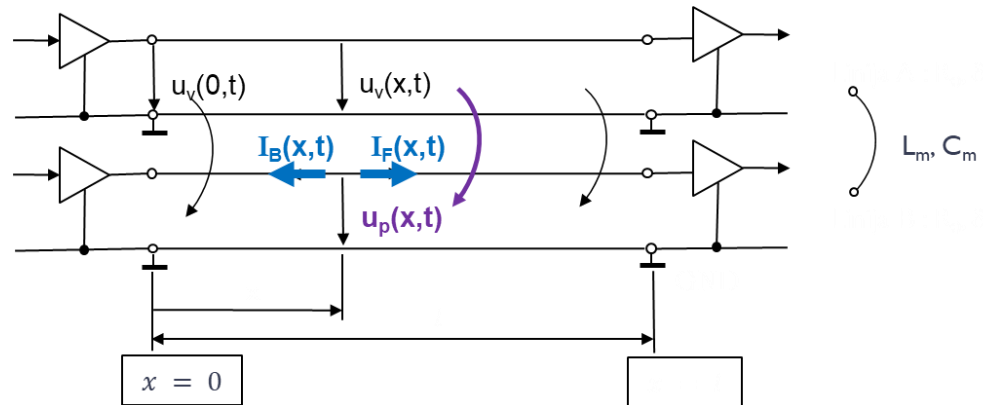
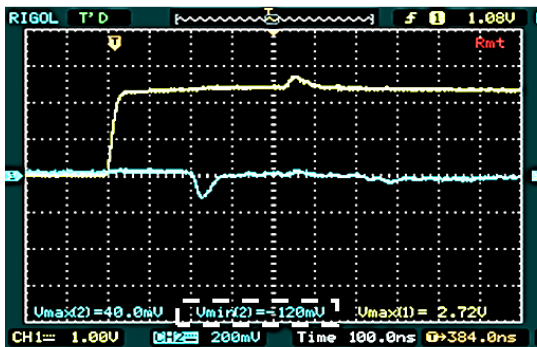
- Na sosednji parici (linija B) izmerite napetostne nivoje bližnjega presluha $u_p(0,t) = u_{pb}(t)$ na vhodu linije in

ni odbojev **248 mV** brez zaklj. bližja stran **520 mV** brez zaklj. obe **336 mV**



daljnega presluha $u_p(l,t) = u_{pd}(t)$ na izhodu linije,

ni odbojev **-120 mV**



2.2.5 Odpornost proti šumu

Tipične razmere :

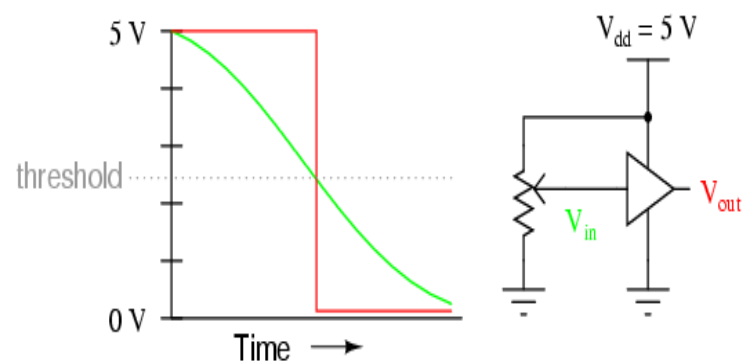
TTL vezja:

- „1“ ~ 3.4V, „0“ ~ 0.1V
- preklopni prag tipično 1.3V
- tip. ŠI = $\min(1.3-0.1, 3.4-1.3)V = 1.2V$

CMOS (TTL kompatibilna):

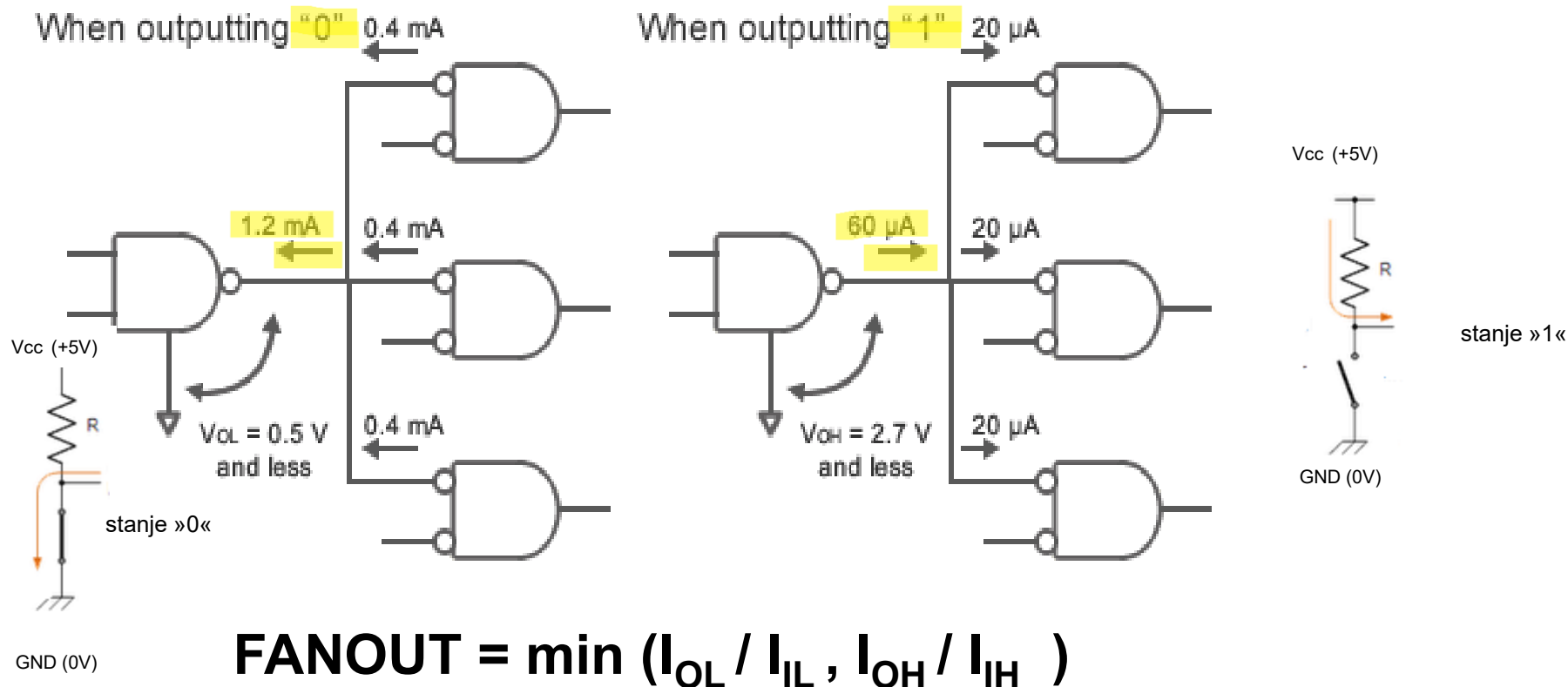
- „1“ ~ 5V in „0“ ~ 0V
- preklopni prag pa tipično 2,5V
- tip. ŠI = $\min(5-2.5, 2.5-0)V = 2.5V$

Typical response of a logic gate to a variable (analog) input voltage



2.2.6 Obremenljivost digitalnih vezij (FANOUT)

Določanje obremenljivosti v obeh log. stanjih



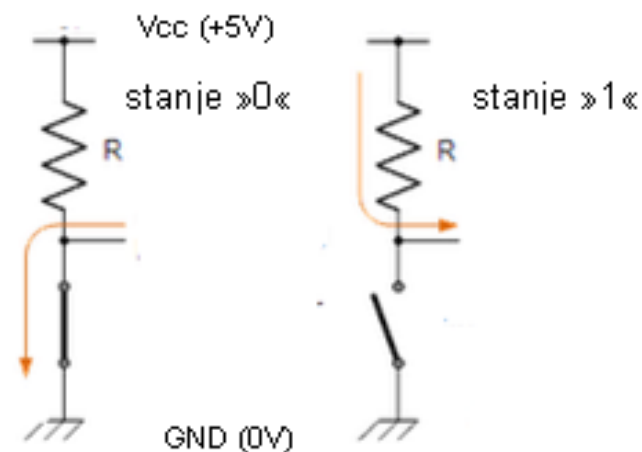
2.2.6 Obremenljivost digitalnih vezij (FANOUT)

Def.: Koliko vhodov lahko vežemo na 1 izhod...

TTL:

IZHOD (Max. vrednosti):

Tip\Max	I_{OL} [mA]	I_{OH} [mA]	Družina
74	16	-0.4	TTL
74LS	8	-0.4	TTL
74HCT	4	-4	CMOS
74ACT	24	-4	CMOS



VHOD (Max. vrednosti):

Tip\Max	I_{IL} [mA]	I_{IH} [mA]	Družina
74	-1.6	0.04	stand. TTL breme
74LS	-0.4	0.02	stand. LS-TTL breme
74HCT	-0.001	0.001	CMOS
74ACT	-0.001	0.001	CMOS

$$\text{FANOUT} = \min (I_{OL} / I_{IL}, I_{OH} / I_{IH})$$

tok v vezje +
tok iz vezja -

2.2.6 Obremenljivost digitalnih vezij

Določanje obremenljivosti:

■ TTL:

- 74 : $\min (I_{OL} / I_{IL} , I_{OH} / I_{IH}) = \min (10 , 10) = 10$
- 74LS : $\min (I_{OL} / I_{IL} , I_{OH} / I_{IH}) = \min (20 , 20) = 20$

■ CMOS

- vhodi tokovno praktično ne obremenjujejo izhoda na katerega so priključeni:
- obstaja pa omejitev zaradi kapacitivnosti

2.2.7 Povezovanje vezij iz različnih družin

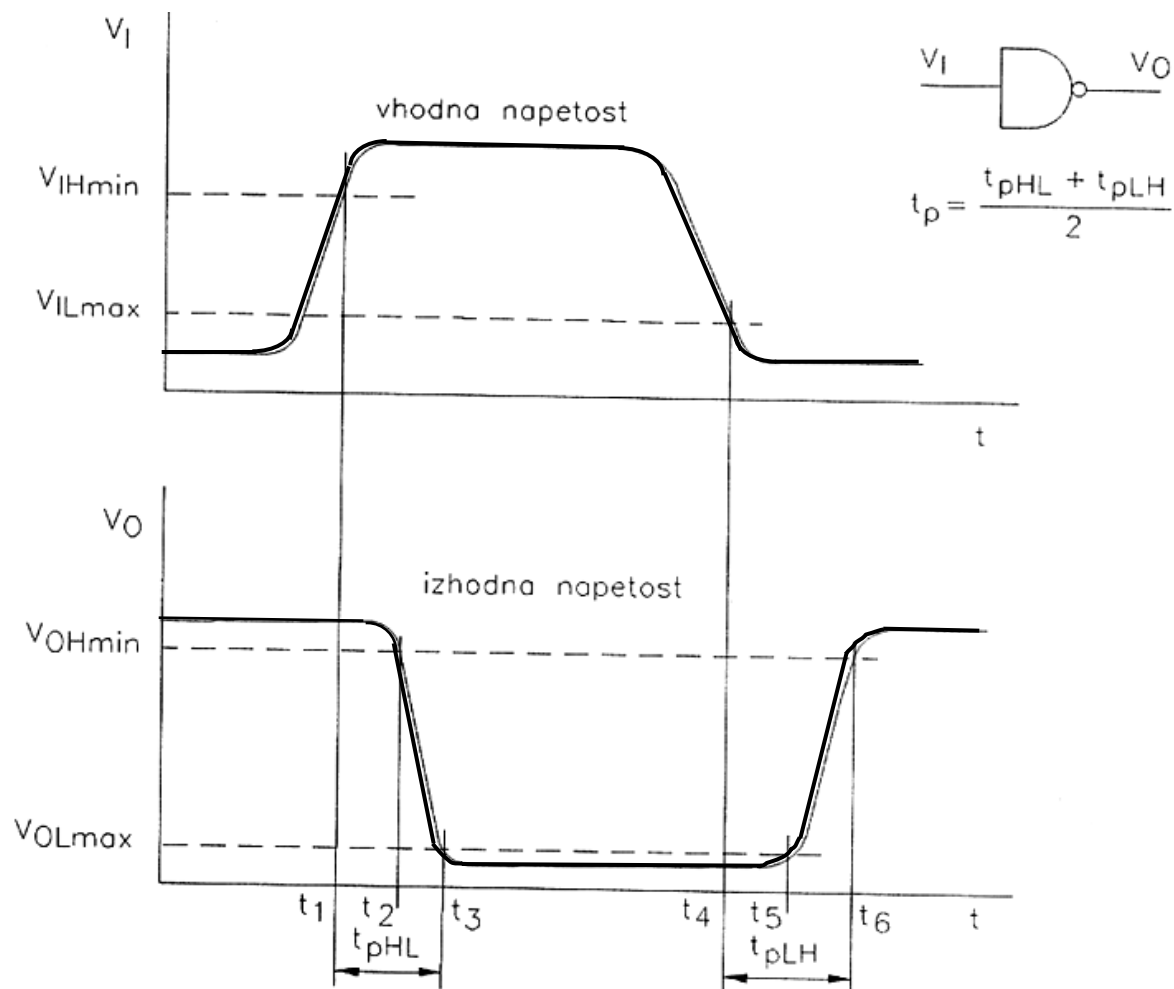
Potencialna neskladja:

- **logični napetostni nivoji**
- **obremenljivost**
- **napajalna napetost**
- **hitra, počasna vezja**

Reševanje:

- **prilagoditve, vmesniki, zamenjave...**

2.2.8 Časovni parametri digitalnih vezij



2.2.8 Časovni parametri digit. vezij

ZAKASNITEV VEZJA («Propagation time»- t_p) :

- čas, ki preteče od trenutka ko se spremeni napetostni nivo na vhodu vezja, do trenutka, ko se ta sprememba odrazi na izhodu

OSTALI VPLIVI

■ **VPLIV KAPACITIVNOSTI:**

- ☐ na zakasnitev vezja vpliva tudi kapacitivnost na izhodu vezja
- ☐ vpliva bolj na zakasnitev kot napetostne nivoje

■ **VPLIV POVEZAV:** vsled napredka povečujemo št. tranz. in s tem zmanjšujemo dimenzijo tranzistorjev in tudi povezav:

- ☐ + večja hitrost delovanja (manjši tranz.)
- ☐ - slabše lastnosti povezav (večje število, manjše dimenzije)

2.2.9 Neuporabljeni vhodi/izhodi

Pravila za neuporabljene vhode oziroma izhode:

- *neuporabljen vhod v vezje:*
 - **TTL in CMOS:** mora biti obvezno priključen na 0 ali 1.
- *cel element neuporabljen*
 - **TTL:** lahko nepovezan
 - **CMOS:** neuporabljene celotne elemente v CMOS vezjih moramo povezati na 0 ali 1

2.2.10 Katero družino izbrati ?

Pravila :

- **Pravilo izbire družine:**

- ☐ **priporoča se CMOS**

- **HC**

- **če potrebujemo hitrost -> AC, nove poddružine**

- **če povezujemo s TTL -> nove poddružine s T na koncu**

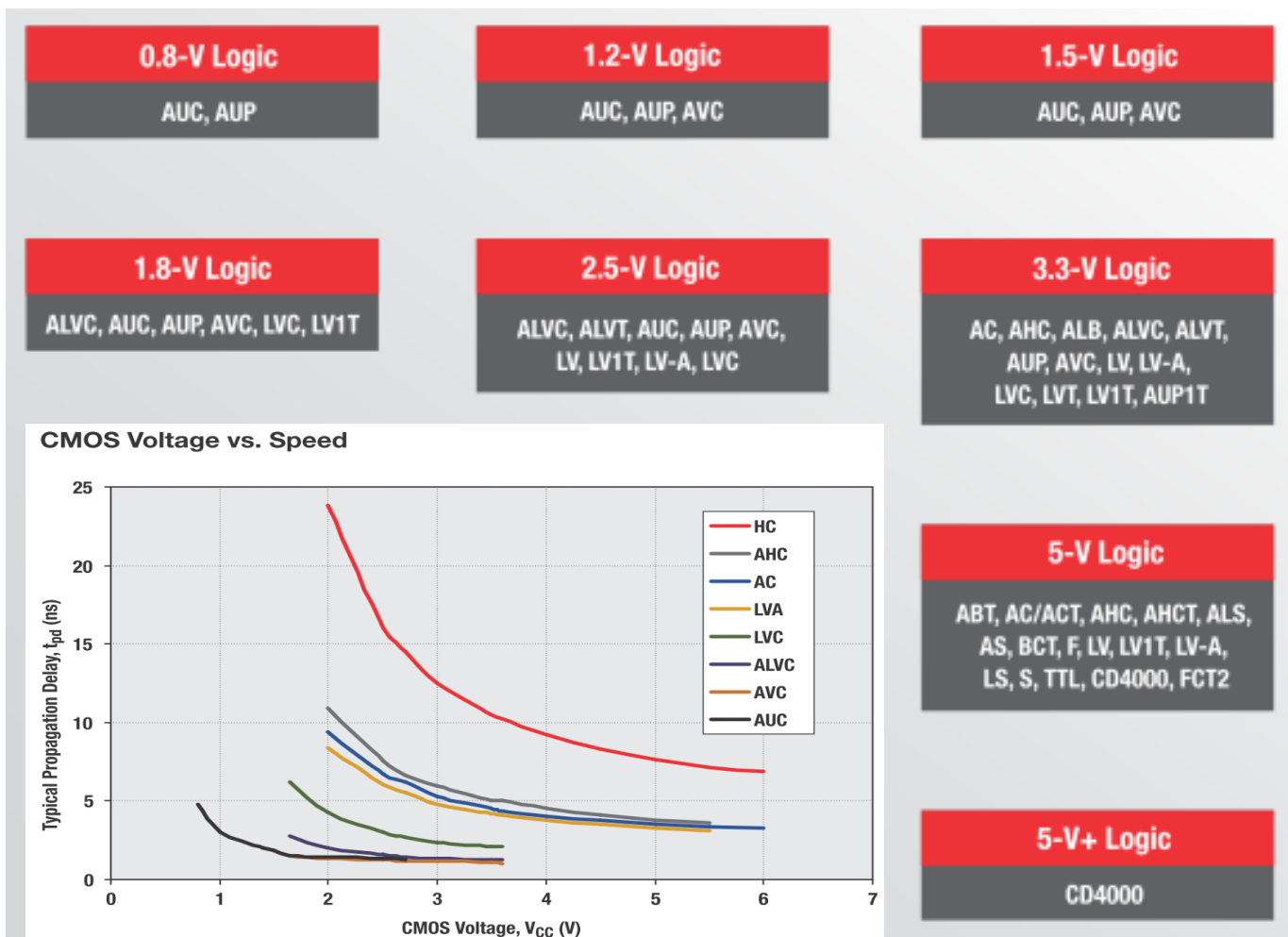
- **Pravilo izbire hitrosti:**

- ☐ **„ravno prav hitro“ !?**

2.2.10 Katero družino izbrati ?

Texas Instruments: Logic Guide 2017

<http://www.ti.com/lit/sg/sdyu001ab/sdyu001ab.pdf>

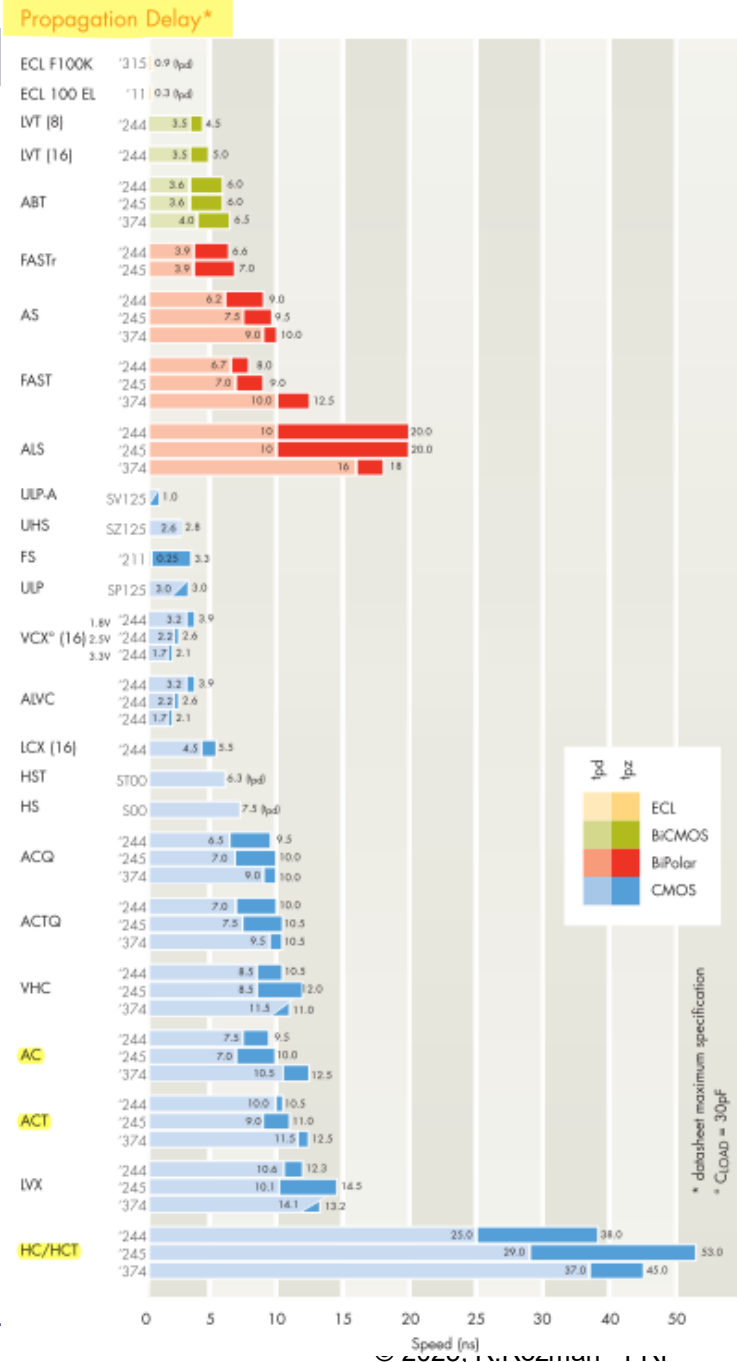
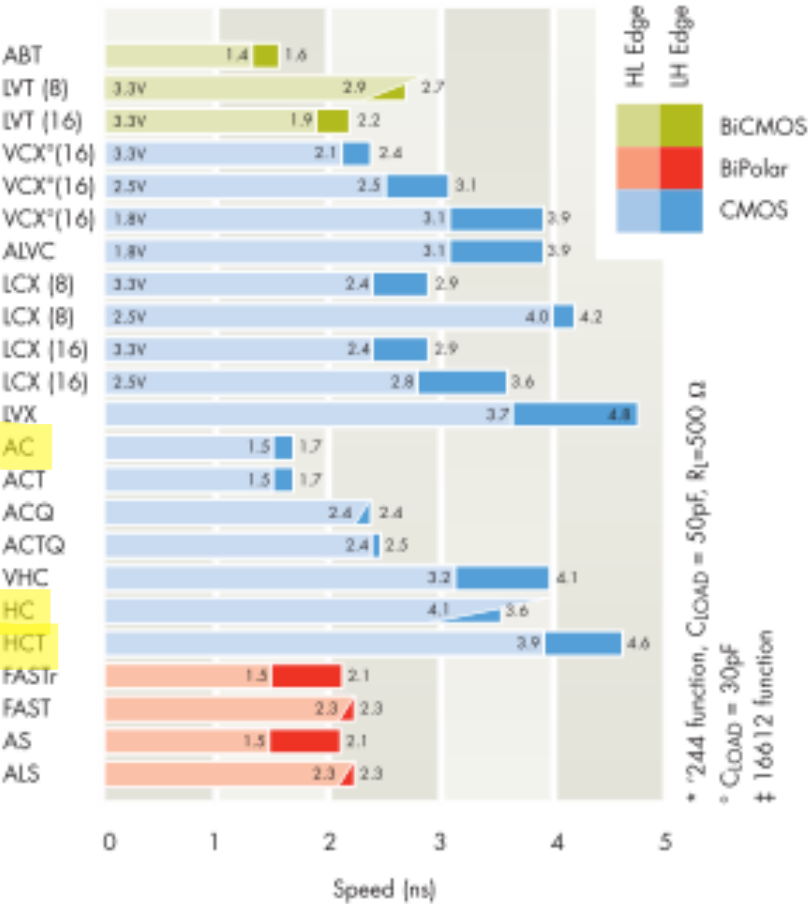


2.2.10 Katero družino izbrati ?

Fairchild Logic: Logic Guide 2017

<https://www.mouser.com/catalog/supplier/library/pdf/FairchildLogic.pdf>

Output Rise and Fall Time*



2.2.11 Načrtovanje in gradnja dig. sistemov

Video :

„Complete PCB Cycle Design to Production“

<https://www.youtube.com/watch?v=bgBjub85TT4>

Postopek :

☐ Zasnova

- sest.deli, „lepila“, tehnologija, družina...

☐ Načrtovanje

- vezalna shema, razporeditev, povezave, PCB

☐ Gradnja

- PCB, vgradnja elementov, spajkanje, preizkušanje

2.2.11 Načrtovanje in gradnja dig. sistemov

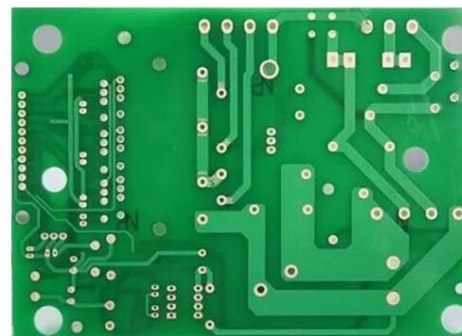
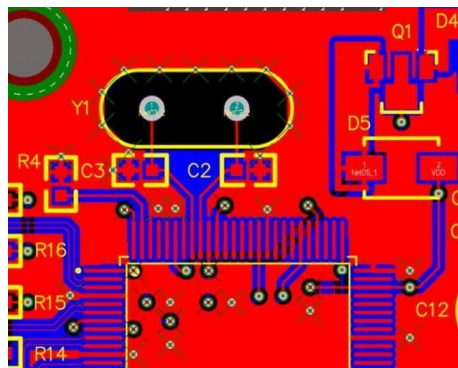
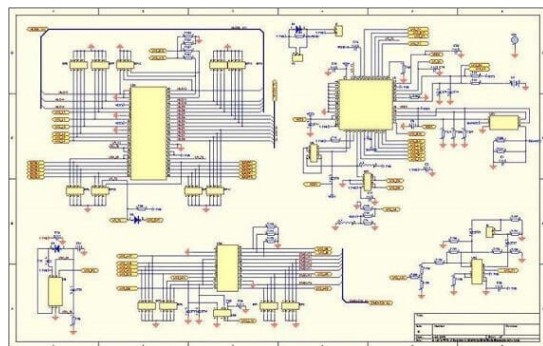
Video :

„Complete PCB Cycle Design to Production“

<https://www.youtube.com/watch?v=bqBjub85TT4>

Načrtovanje

- vezalna shema, razporeditev, povezave, PCB



2.2.11 Načrtovanje in gradnja dig. sistemov

■ „Worst Case“ načelo načrtovanja

- podatkovne listine („datasheets“):

 - min, max, ~~typ~~,

- tipične razmere („typ“) na srečo dosti boljše

■ Vpliv povezovalnih žic

- večja gostota, hitrost, manjše dimenzije, večje razdalje...

2.2.11 Načrtovanie in gradnja DS - SN7400

recommended operating conditions (see Note 3)

		SN5400			SN7400			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage			0.8			0.8	V
I_{OH}	High-level output current			-0.4			-0.4	mA
I_{OL}	Low-level output current			16			16	mA

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN5400			SN7400			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IK}	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$			-1.5			-1.5	V
V_{OH}	$V_{CC} = \text{MIN}, V_{IL} = 0.8 \text{ V}, I_{OH} = -0.4 \text{ mA}$	2.4	3.4		2.4	3.4		V
V_{OL}	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, I_{OL} = 16 \text{ mA}$		0.2	0.4		0.2	0.4	V
I_I	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$			1			1	mA
I_{IH}	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$			40			40	μA
I_{IL}	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$			-1.6			-1.6	mA

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN5400 SN7400			UNIT
				MIN	TYP	MAX	
t_{PLH}	A or B	Y	$R_L = 400 \Omega, C_L = 15 \text{ pF}$		11	22	ns
t_{PHL}					7	15	

2.2.11 Načrtovanje in gradnja dig. sistemov

What is Flux?

Flux is a browser-based electronics design tool with built-in support for modern hardware design methodologies: reusability, collaboration and simulation.

As a fully browser-based tool, all you need to access the full development environment is a computer and an internet connection. This makes it easier than ever to build parts, projects, and ideas with others.

Additionally, with Flux's built-in version control, you can embrace the rapid development process without worrying about lost work.

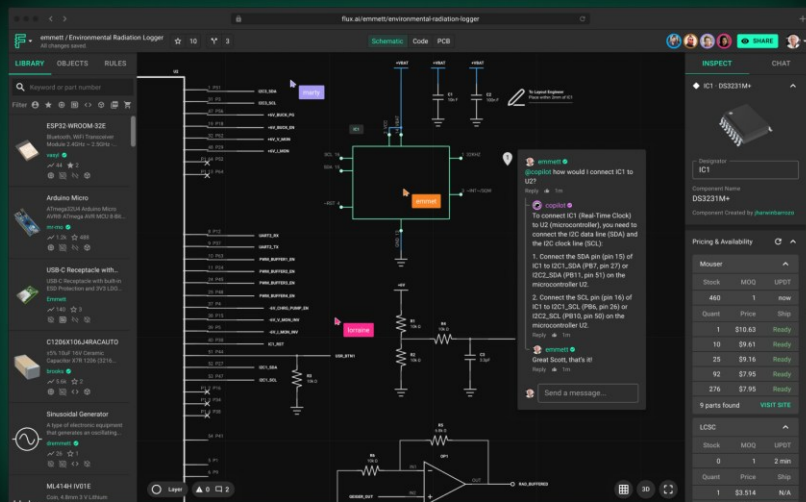
Z naslova <<https://docs.flux.ai/Introduction/what-is-flux--draft->>



PCB Design Tutorial Start to Finish

Flux
2.83K subscriber

Z naslova <<https://www.youtube.com/watch?v=Nz-XvvlozK4>>

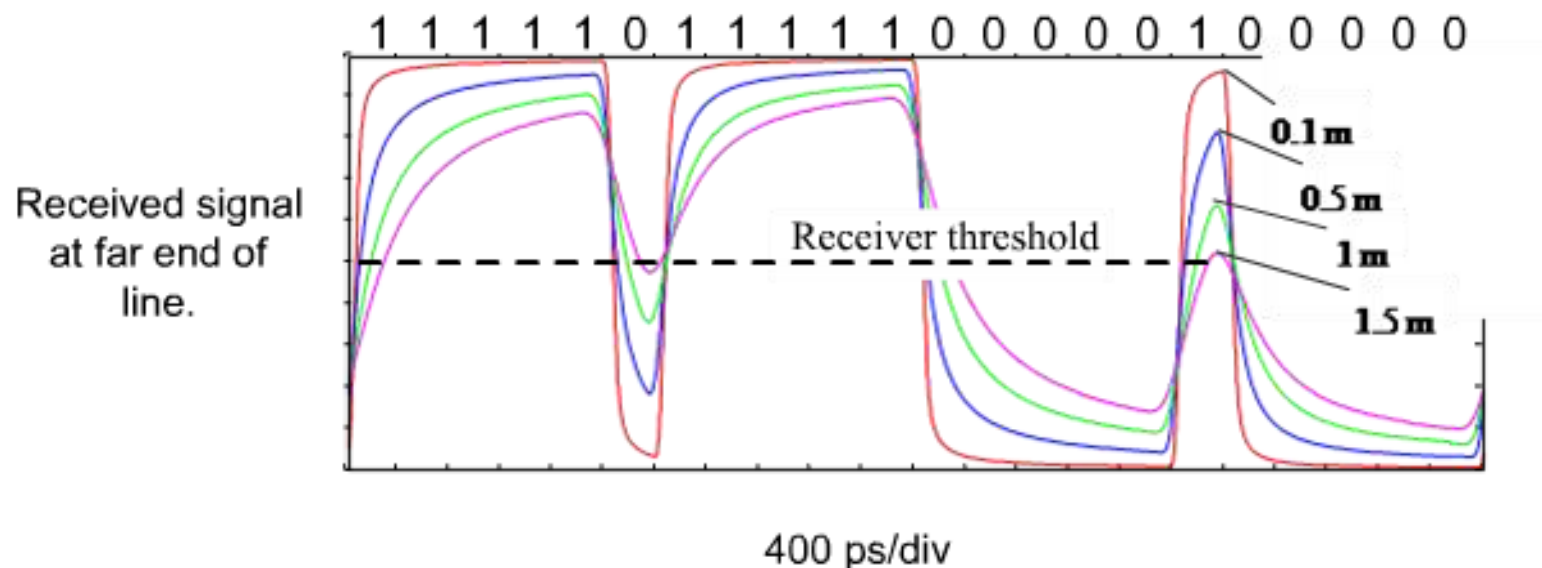


Zanimivo orodje ?

2.2.11 Načrtovanje in gradnja dig. sistemov

**Prikaz vpliva povezovalnih žic na preneseni signal:
Primer signala na koncu 2.5Gb povezave**

Signal Transmission

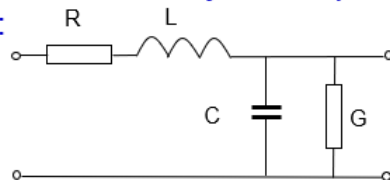


Predmet VIN – simulacija vpliva linije na signal

Prikaz vpliva frekvence signala na prenos po liniji

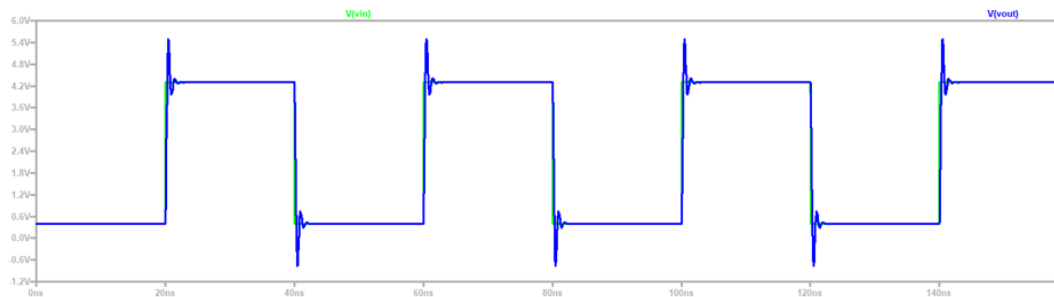
Lastnosti električnih linij – model električne linije

Prenosno električno linijo lahko predstavimo s poenostavljenim modelom:

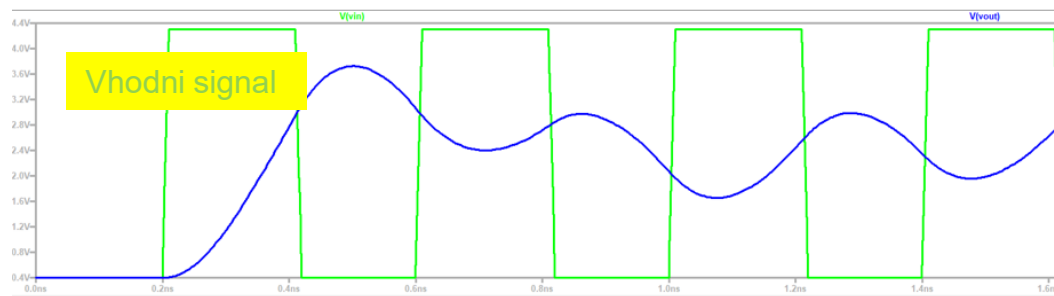


Pri idealni liniji je upornost $R = 0$ in tudi prevodnost med vodnikoma $G = 0$ (upornost med vodnikoma je $R = \infty$).

$$f_{\text{sig}} = 25 \text{ MHz}$$



$$F_{\text{sig}} = 2.5 \text{ GHz}$$



2.3 Razvoj tehnologije

Neenakomeren po področjih, različni vidiki:

- **2.3.1 Naraščanje števila tranz. na čipu**
- **2.3.2 Hitrost in poraba, moč**
- **2.3.3 Naraščanje zmogljivosti**
- **2.3.4 Razmerje med frekvenco ure in močjo**
- **2.3.5 Pojav paralelizma**

Our World
in Data

© 2025, R.Rozman - FRI

2.3.1 Naraščanje števila tranz. na čipu

Naraščanje št. tranz. pribl. sorazmerno s kvadratom zmanjševanja „feature size“

Intel tehnologije (mikroarhitekture) :

14 nm :

Broadwell (2014)

Skylake (2015)

Kaby Lake,

Coffee Lake (2017)

10 nm :

Cannon Lake (2018)

Ice Lake (2019)

Tiger Lake-11th (2020)

Intel 7:

Raptor Cove (2022)

Intel 4:

Redwood Cove (2023)

Intel 3:

(2024)

AMD tehnologije (mikroarhitekture) :

14 nm :

ZEN (2017)

12 nm :

ZEN+ (2018)

7 nm :

ZEN 2 (2019)

ZEN 3 (2020)

5 nm :

ZEN 4 (2022)

3 nm :

ZEN 5 (2024)



Procesorji

Sapphire Rapids quad-chip module (up to 60 cores and 112.5 MB of cache) ^[188]	44,000,000,000–48,000,000,000 ^[189]	2023	Intel	10 nm ESF (Intel 7)	1,600 mm ²	27,500,000–30,000,000
Apple M2 Pro (12-core 64-bit ARM64 SoC, SIMD, caches)	40,000,000,000 ^[190]	2023	Apple	5 nm	?	?
Apple M2 Max (12-core 64-bit ARM64 SoC, SIMD, caches)	67,000,000,000 ^[190]	2023	Apple	5 nm	?	?
Apple M2 Ultra (two M2 Max dies)	134,000,000,000 ^[7]	2023	Apple	5 nm	?	?
AMD EPYC Bergamo (4th gen/97X4 series) 9-chip module (up to 128 cores and 256 MB (L3) + 128 MB (L2) cache)	82,000,000,000 ^[191]	2023	AMD	5 nm (CCD) 6 nm (IOD)	?	?
Processor	Transistor count	Year	Designer	Process (nm)	Area (mm ²)	Transistor density (tr./mm ²)

2.3.1 Naraščanje števila tranz. na čipu

Namenski sistemi

Device type	Device name	Transistor count	Date of introduction	Designer(s)	Manufacturer(s)	MOS process	Area	Transistor density, tr./mm ²
Deep learning engine / IPU	Colossus GC2	23,600,000,000	2018	Graphcore	TSMC	16 nm	~800 mm ²	29,500,000
Deep learning engine / IPU	Wafer Scale Engine	1,200,000,000,000	2019	Cerebras	TSMC	16 nm	46,225 mm ²	25,960,000
Deep learning engine / IPU	Wafer Scale Engine 2	2,600,000,000,000	2020	Cerebras	TSMC	7 nm	46,225 mm ²	56,250,000
Network switch	NVLink4 NVSwitch	25,100,000,000	2022	Nvidia	TSMC	N4 (4 nm)	294 mm ²	85,370,000

Primerjava vrst

Year	Component	Name	Number of MOSFETs (in trillions)
2022	Flash memory	Micron's V-NAND module	5.3
2020	any processor	Wafer Scale Engine 2	2.6
2024	GPU	Nvidia B100	0.208
2025	Microprocessor (consumer)	Apple M3 Ultra	0.184
2020	DLP	Colossus Mk2 GC200	0.059

GPU

Aqua Vanjaram CDNA3	153,000,000,000 (MCM)	2023	AMD	TSMC	5 nm (GCD) 6 nm (MCD)	?	?
GB200 Grace Blackwell	208,000,000,000 (MCM)	2024	Nvidia	TSMC	4 nm	?	?
GB202 Blackwell	92,200,000,000	2025	Nvidia	TSMC	4 nm	750 mm ²	122,600,000
GB203 Blackwell	45,600,000,000	2025	Nvidia	TSMC	4 nm	378 mm ²	120,600,000
GB205 Blackwell	31,100,000,000	2025	Nvidia	TSMC	4 nm	263 mm ²	118,300,000
GB206 Blackwell	21,900,000,000	2025	Nvidia	TSMC	4 nm	181 mm ²	121,000,000
GB207 Blackwell	16,900,000,000	2025	Nvidia	TSMC	4 nm	149 mm ²	113,400,000
Navi 44 RDNA4	29,700,000,000	2025	AMD	TSMC	4 nm	199 mm ²	149,200,000
Navi 48 RDNA4	53,900,000,000	2025	AMD	TSMC	4 nm	357 mm ²	151,000,000
Processor	Transistor count	Year	Designer(s)	Fab(s)	MOS process	Area	Transistor density (tr./mm ²)

2.3.2 Frekvenca in poraba, moč

Povečevanje hitrosti delovanja :

- prva aproksimacija :
 - narašča linearno z zmanjševanjem „feature size“

Ne velja zaradi :

- slabšanja lastnosti povezovalnih žic
- naraščanja dinamične porabe tranzistorjev:

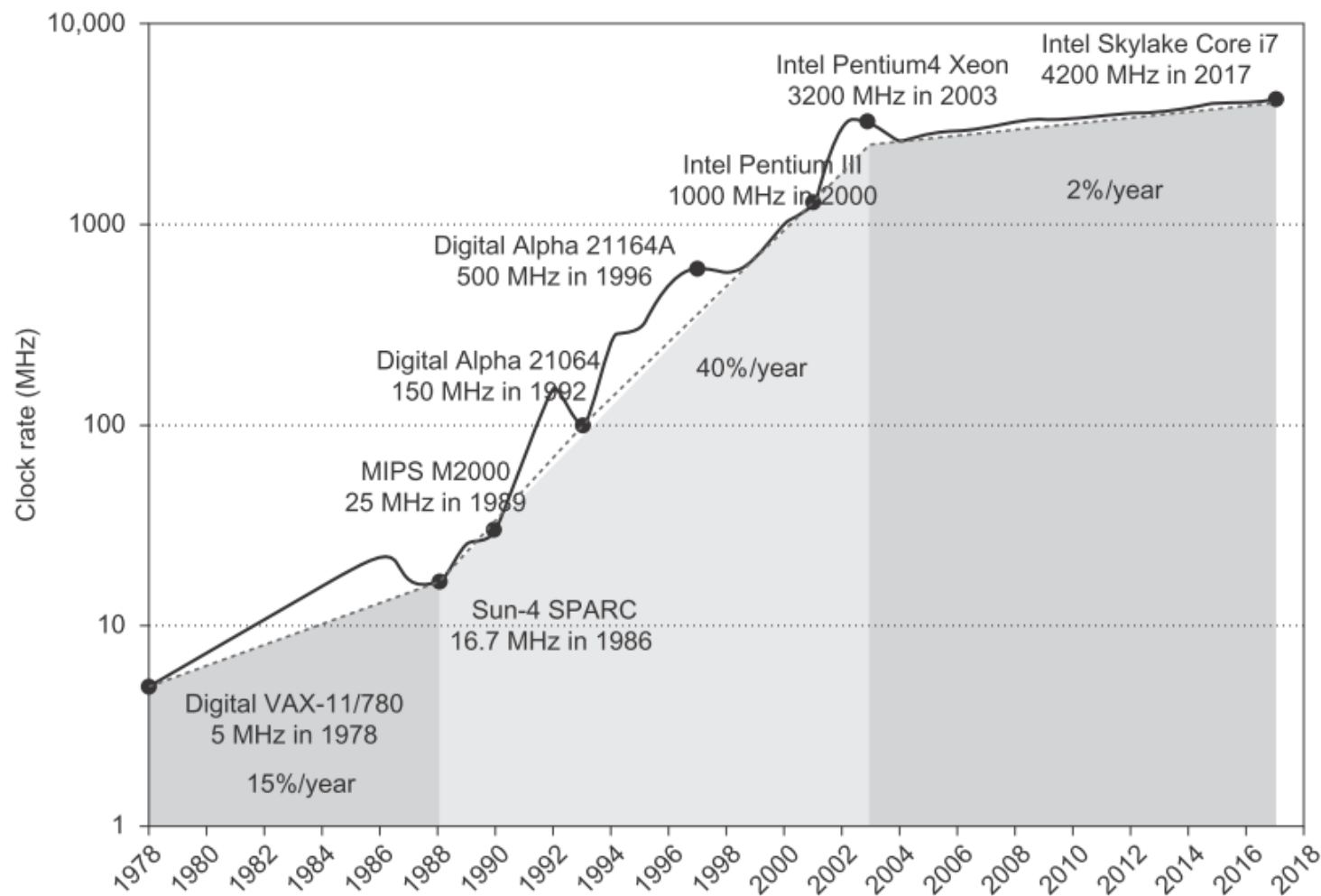
$$\text{Moč} = 0.5 \times \text{Kapac.breme} \times \text{Napetost}^2 \times \text{Frek.preklopov}$$

Faktor aktivnosti (clock=1.0,
običajno 0.1)

Poraba moči se povečuje tudi zaradi puščanja tranzistorjev pri nižjih napetostih – zato nepotrebne dele izklapljammo !

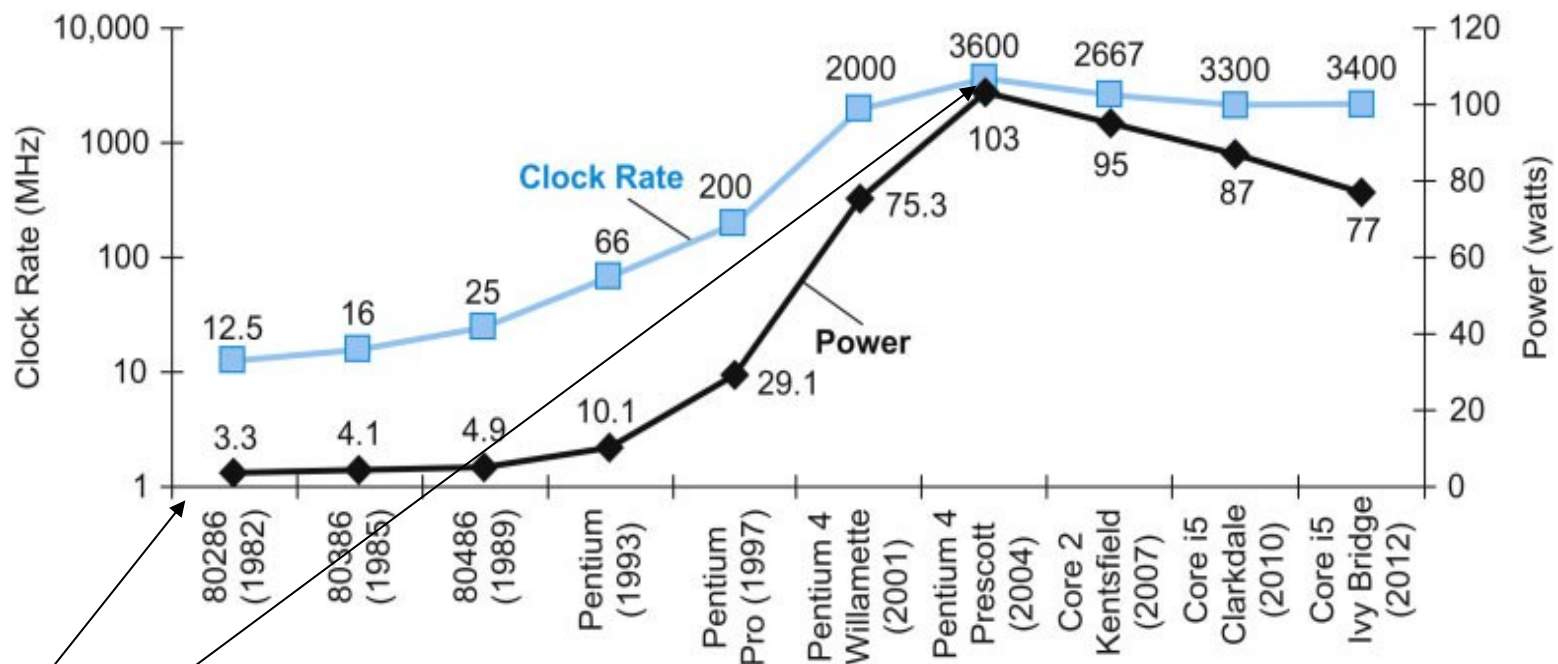
2.3 Razvoj tehnologije

2.3.2.1 Frekvenca ure procesorjev



2.3 Razvoj tehnologije

2.3.2.2 Frekvenca ure in moč (poraba) procesorjev Intel x86 čez 10 generacij



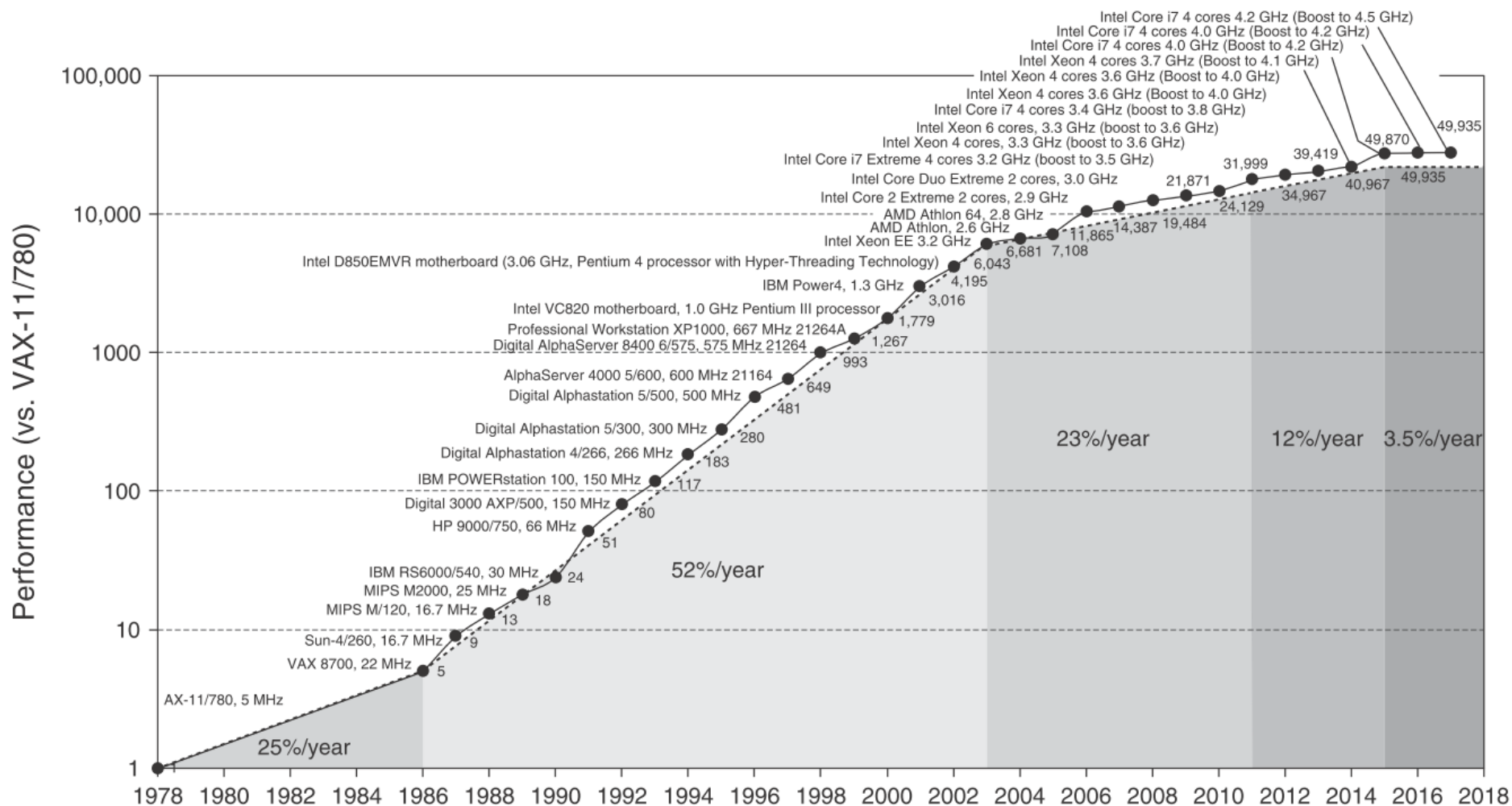
1982-2004:

- 300x povečanje frekv. ure
- 30x povečanje moči (???)

Kako je to mogoče ? -> nižanje napajalne napetosti...

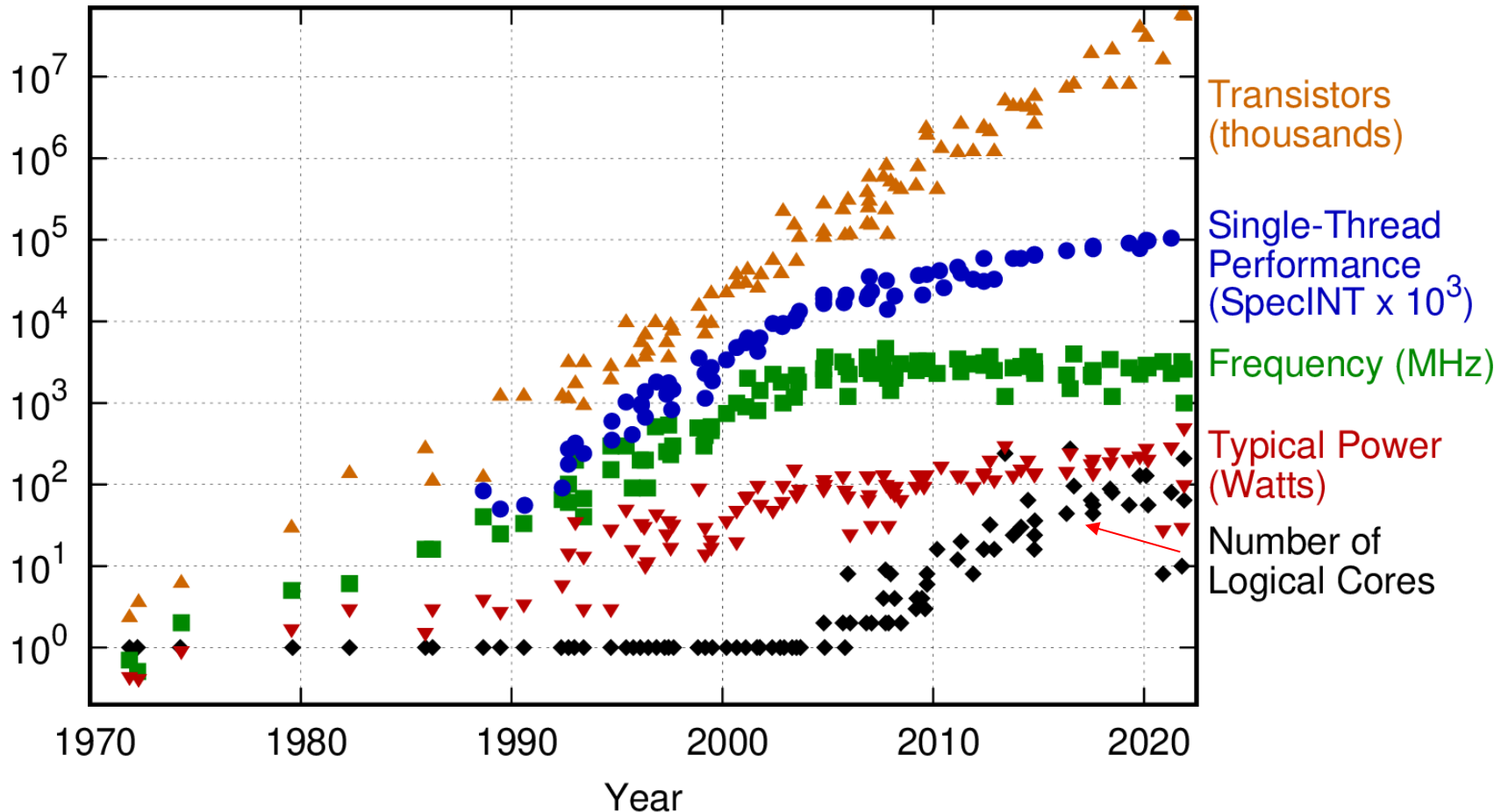
2.3 Razvoj tehnologije

2.3.2.3 Naraščanje zmogljivosti procesorjev od leta 1986



2.3.3 Pojav paralelizma - analiza splošnih trendov

50 Years of Microprocessor Trend Data



Original data up to the year 2010 collected and plotted by M. Horowitz, F. Labonte, O. Shacham, K. Olukotun, L. Hammond, and C. Batten
New plot and data collected for 2010-2021 by K. Rupp

Vir: <https://raw.githubusercontent.com/karlrupp/microprocessor-trend-data/master/50yrs/50-years-processor-trend.png>

2.3.3 Pojav paralelizma

Zakaj ?

V zadnjih desetletjih:

- osnovna hitrost vezij (log.vrat) se poveča **?-krat**
- št. elementov na čipu se poveča **?-krat**

Večjedrni mikroprocesorji (multiprocesorji, multiračunalniki, ...)

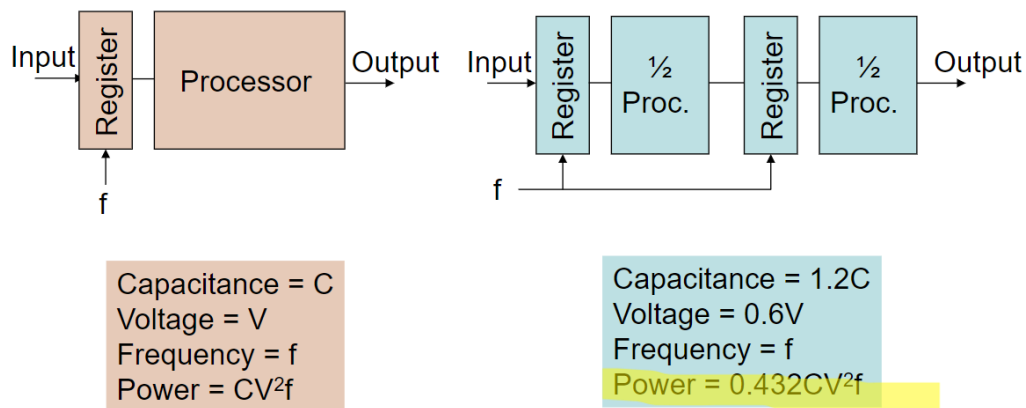
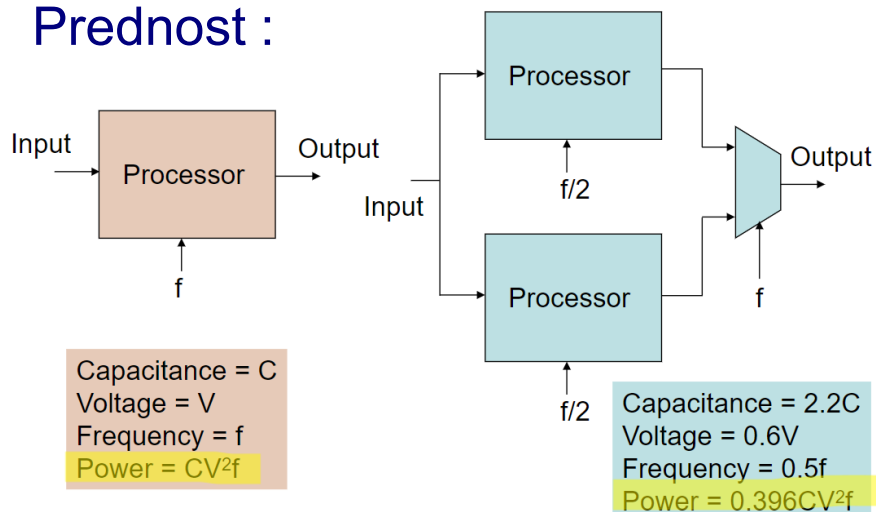
Procesor	Intel Core Nehalem	AMD Phenom II Thuban	Intel Core i7 Gulftown	IBM Power 6	Sun Ultra Sparc T2 Niagara 2	i9-7980X (09/2017)	Ryzen 5900X (2020)	i9-11900K (2021)	i9-13900K (2022)	Ryzen 7950X (2022)
Število jeder	4	6	6	2	8	10	12	8	8	16
Frekvenca ure	2,667 GHz	3,2 GHz	3,33 MHz	4,7 GHz	1,4 GHz	3.3-4.3 GHz	3.7-4.8 GHz	2.5-5.3 GHz	2.2-5.8	4.5-5.7
Moč (TDP)	~100 W	152 W	130W	~100 W ?	84 W	140 W	105 W	125W	125W	170W

2.3.3 Pojav paralelizma

Poraba ?

„... Dve jedri porabita manj kot eno dvakrat hitrejša ...“

Prednost :



Izbrane tehnološke novosti

Deep Learning at the Speed of Light

Lightmatter bets that optical computing can solve AI's efficiency problem



FEATURE

The Future of Deep Learning Is Photonic

Reducing the energy needs of neural networks might require computing with light

New Optical Switch up to 1000x Faster Than Transistors > "Optical accelerator" devices could one day soon turbocharge tailored applications

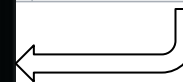
BY CHARLES Q. CHOI | 15 OCT 2021 | 2 MIN READ

Supersize AI

Cerebras's silicon-wafer-size chip boasts 2.6 trillion transistors



Name	Number of MOSFETs (in billions)
M1 Max	57
Colossus Mk2 GC200	59.4
GA100 Ampere	54
Samsung's V-NAND chip	2000
Wafer Scale Engine 2	2600



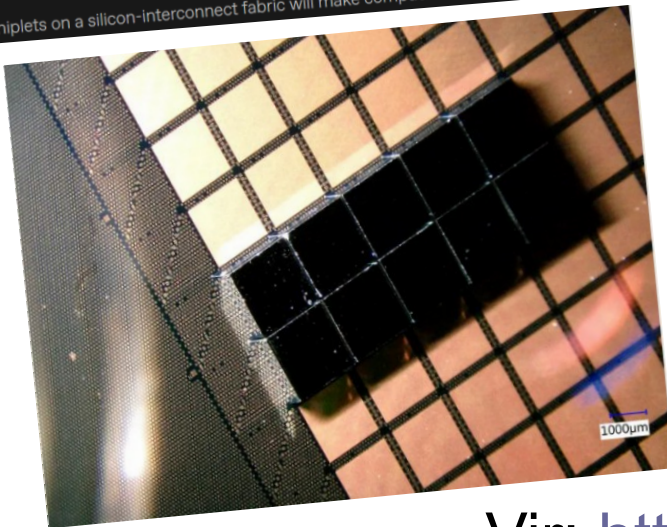
Vir: <https://spectrum.ieee.org/magazine/>

A Quantum Speedup for the Fast Fourier Transform

Quantum computers will turbocharge the algorithm that underpins much of modern tech

GOODBYE, MOTHERBOARD. HELLO, SILICON-INTERCONNECT FABRIC

Bare chiplets on a silicon-interconnect fabric will make computers smaller and more powerful



Viri in dodatna gradiva

- Dodatna literatura :
 - P. Bulič: Osnove digitalnih vezij
 - Zapiski pri predmetu ORS (Organizacija Računalniških Sistemov)
- Podatkovna listina: sn74ls00
- Prikaz načrtovanja in produkcije tiskanih vezij (PCB) - matičnih plošč
 - Complete PCB Cycle Design to Production (4 min)
 - How Motherboards Are Made (2019) (14min)